

Le placement/routage pour les jeunes loutres



Reloaded...

Plan

- Introduction
 - Historique
 - Les différentes techno de PCB
 - IPC
- Le placement
 - Bord de carte, mécanique, bord techniques
 - Choix des clusters / signaux a risques
 - Règles, stratégies et techniques de placement
- Le routage I
 - Tailles des pistes et des vias
 - Clearances, isolement
 - Plan de masse
 - Stratégies de routage

Plan

- Le routage II
 - Gérer la thermique.
 - De l'influence du routage sur les signaux
 - Couplages
 - Exemples de routages
- Exotisme
 - Vernis épargne, silkscreen, stencil, via in pad, pin in paste, ...
 - Comment spécifier un PCB : Tg, CTE, MSL, Reflow/wave soldering
 - Les finitions HASL, ENIG, ENEPIG
- Conclusion
 - Rappels
 - Les erreurs classiques
 - Questions

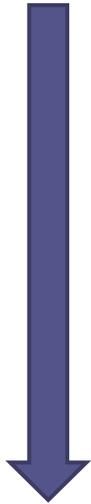
Introduction : historique

1904- Tube à vide

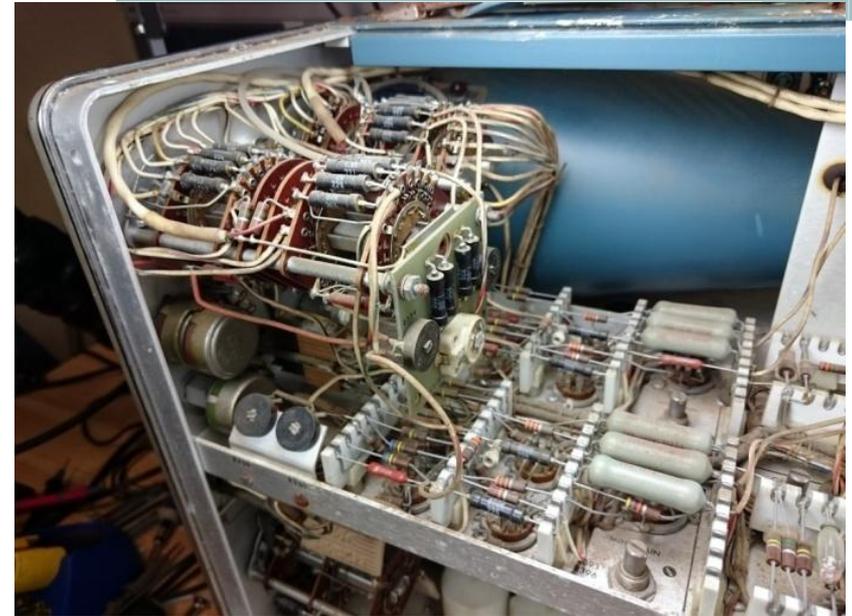
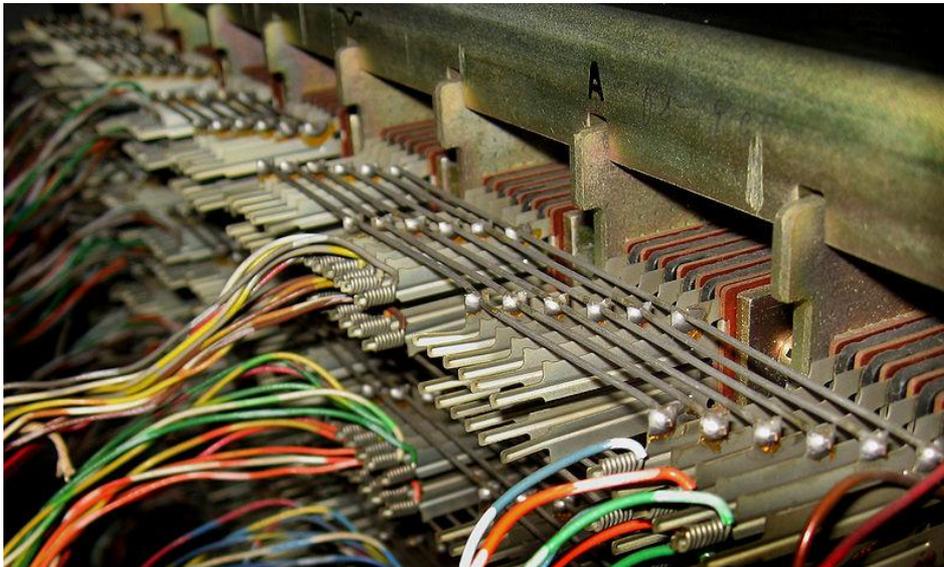
1935 – TV

1945 – Ordinateur

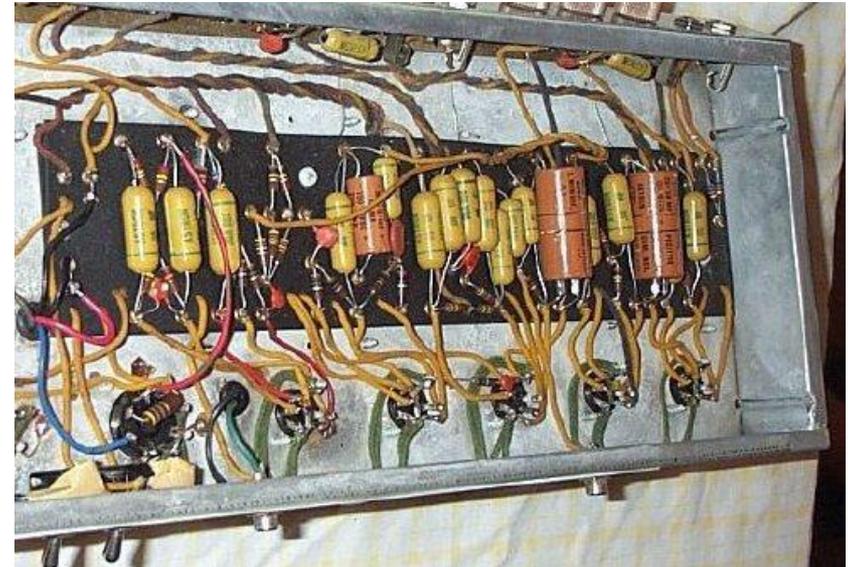
1950 - PCB



Wire wrapping

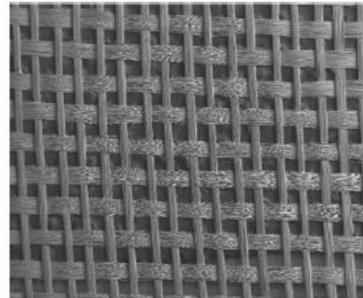
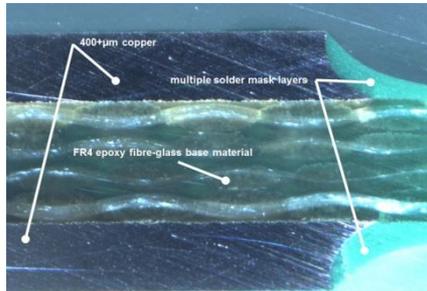


Point-to-point

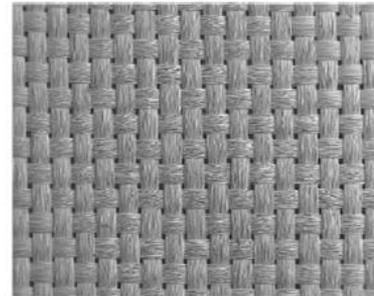


Introduction : Techno de PCB

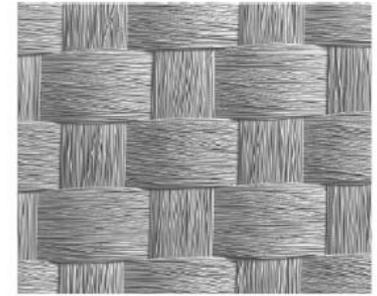
- FR4 « classique »
 - Substrat époxy et fibre de verre



1080

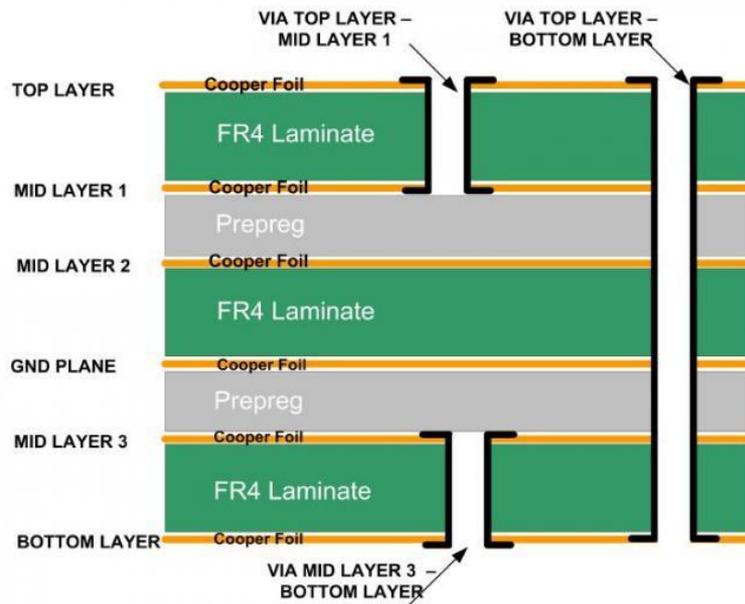


2116



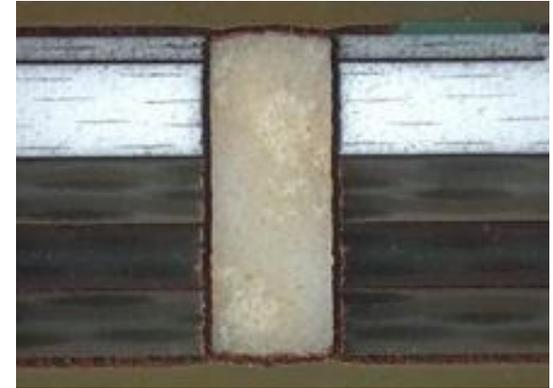
7628

- Laminé / pré-preg

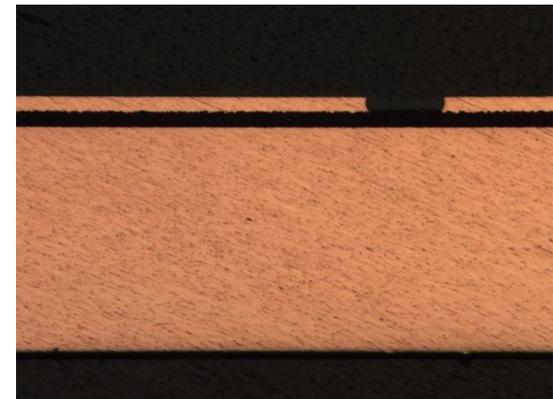
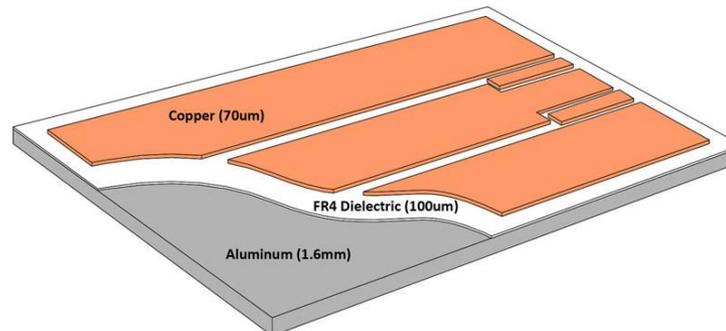


Introduction : Techno de PCB

- Rogers
 - Substrat verre / céramique ou PTFE (Téflon)
 - Généralement utilisé en RF :
 - Moins de pertes
 - Épaisseur mieux maîtrisé
 - Très couteux

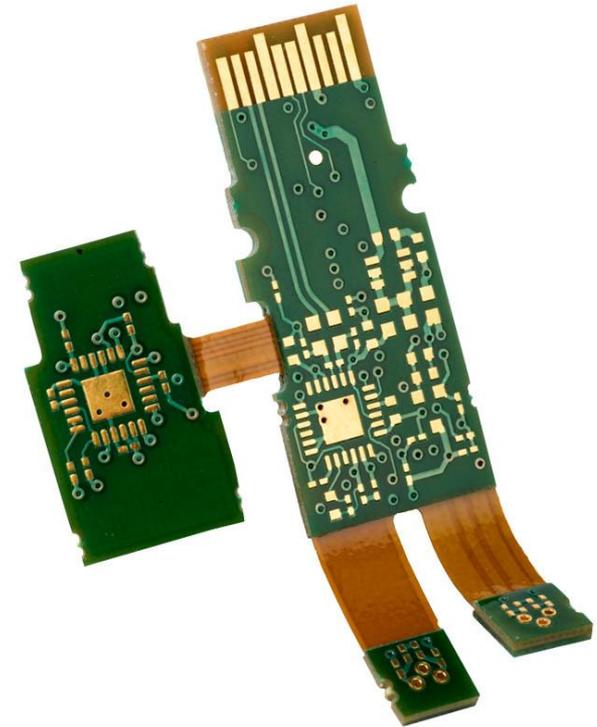
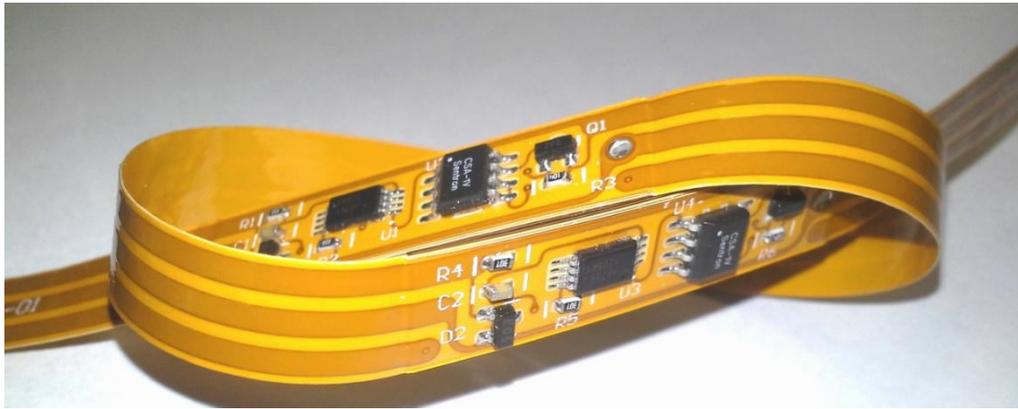


- SMI
 - Substrat aluminium ou cuivre. Isolant FR4
 - Généralement utilisé en puissance
 - Excellente performance thermique
 - Capacité parasite importante
 - Très fragile
 - Couteux



Introduction : Techno de PCB

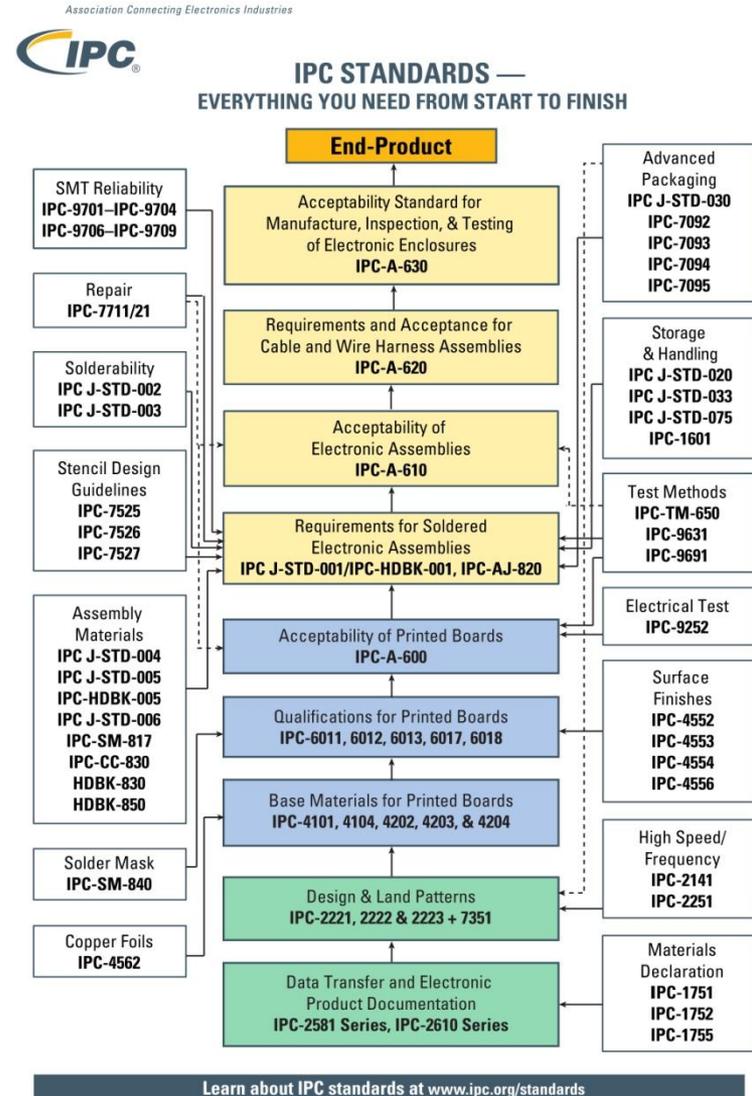
- Flex
 - Substrat polyamide (Kapton)



- Généralement utilisé pour réaliser des interconnexions
- Assez couteux si configuration Flex-rigid
- Rentable pour des très grandes séries
- N'est pas compatible avec tous les composants (notamment capa céramiques)

Introduction : IPC

- Standard international dans l'industrie
- Traite de l'ensemble des étapes de fabrication d'une carte électronique (PCB, composants, assemblage, etc.)
- Il faut s'y référer à chaque fois que l'on a un doute.



Introduction : IPC

- IPC 7711 Rework and Repair

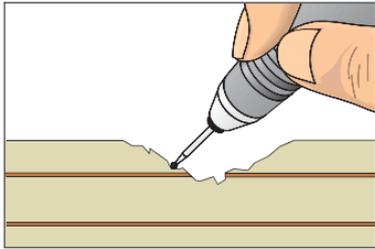


Figure 1 Milling into multilayer board to expose the damaged conductors.

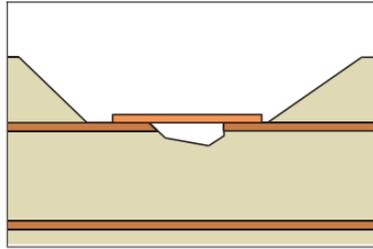


Figure 4 Conductor foil jumper in place ready to be soldered.

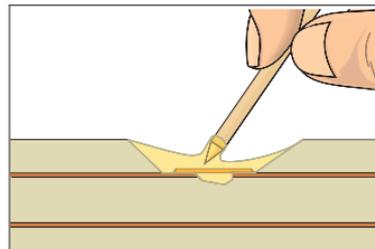


Figure 6 Coat the top and sides of the new conductor with epoxy.

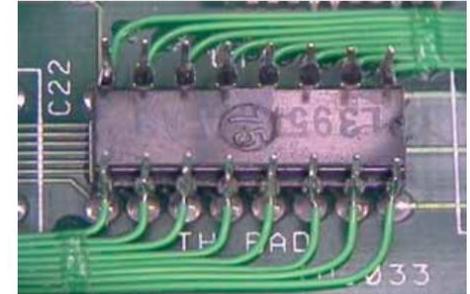


Figure 10 DIP component mounted upside down with jumper wires attached.

- IPC 610 Acceptabilité

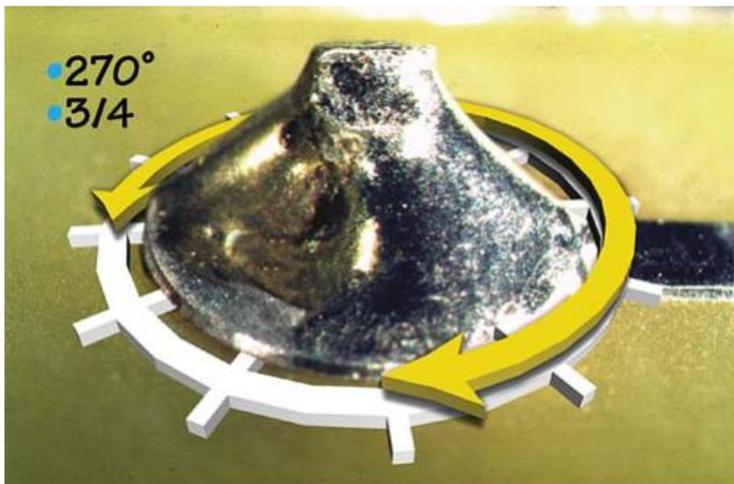


Figure 7-136

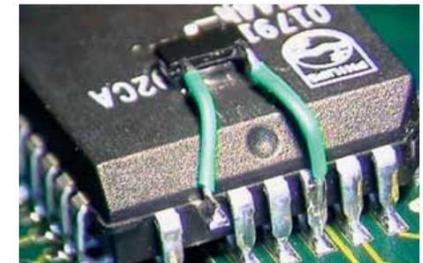


Figure 4 Chip component soldered to surface mount component using jumper wires. Note: One lead of surface mount component is shown lifted.

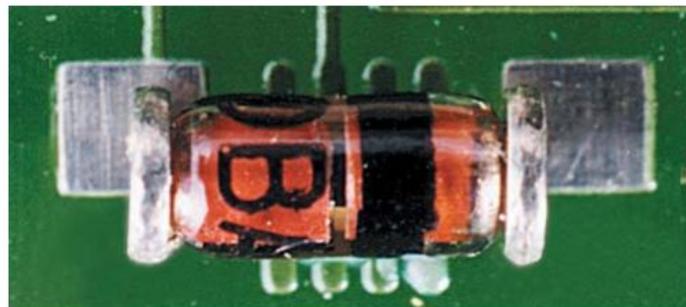


Figure 8-53

Plan

- *Introduction*
 - *Historique*
 - *Les différentes techno de PCB*
 - *IPC*
- **Le placement**
 - **Bord de carte, mécanique, bord techniques**
 - **Choix des clusters / signaux a risques**
 - **Règles, stratégies et techniques de placement**
- *Le routage I*
 - *Tailles des pistes et des vias*
 - *Clearances, isolement*
 - *Plan de masse*
 - *Stratégies de routage*

Le placement : bord de carte, mécanique, etc.

- Avant de commencer un routage il faut prendre un compte TOUS les éléments mécaniques de la carte. On placera des zones « restrict » pour :
 - Les trous de fixation
 - Les connecteurs
 - Les dissipateurs et autres truc à visser
- Il faut prévoir une distance de sécurité entre les fixations et les pistes (et plan de masse)

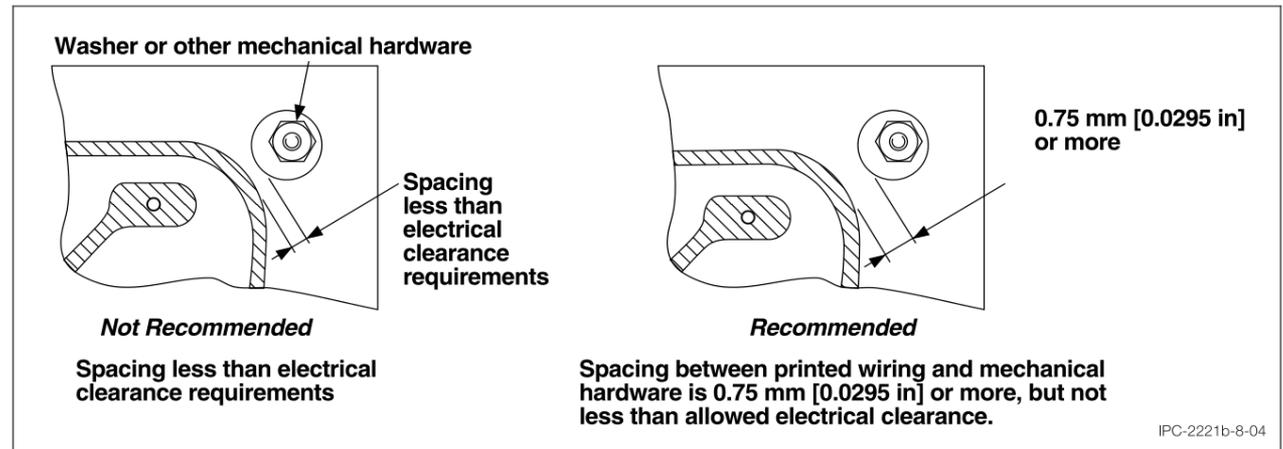


Figure 8-4 Uncoated Board Clearance

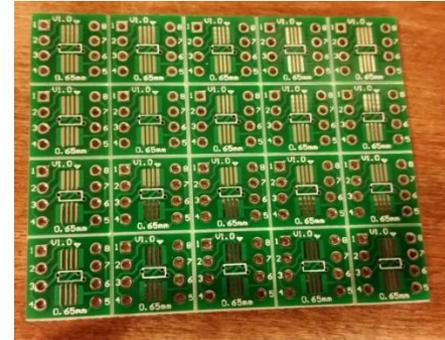
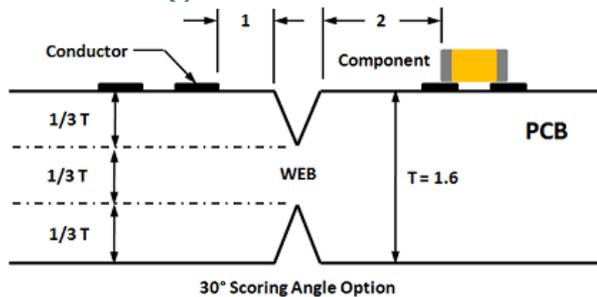


Prendre en compte le diamètre des rondelles et des écrous ainsi que les tolérances mécaniques

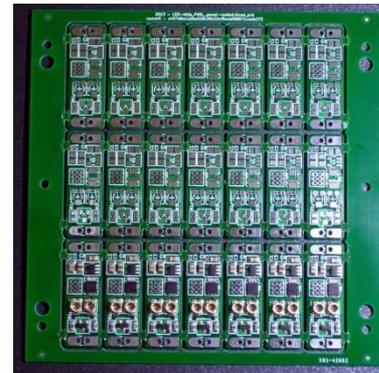
Le placement : bord de carte, mécanique, etc.

- Un PCB n'est généralement pas réalisé unitairement, mais sous forme de panneau. Plusieurs méthode de découpe sont possible:

- V-scoring



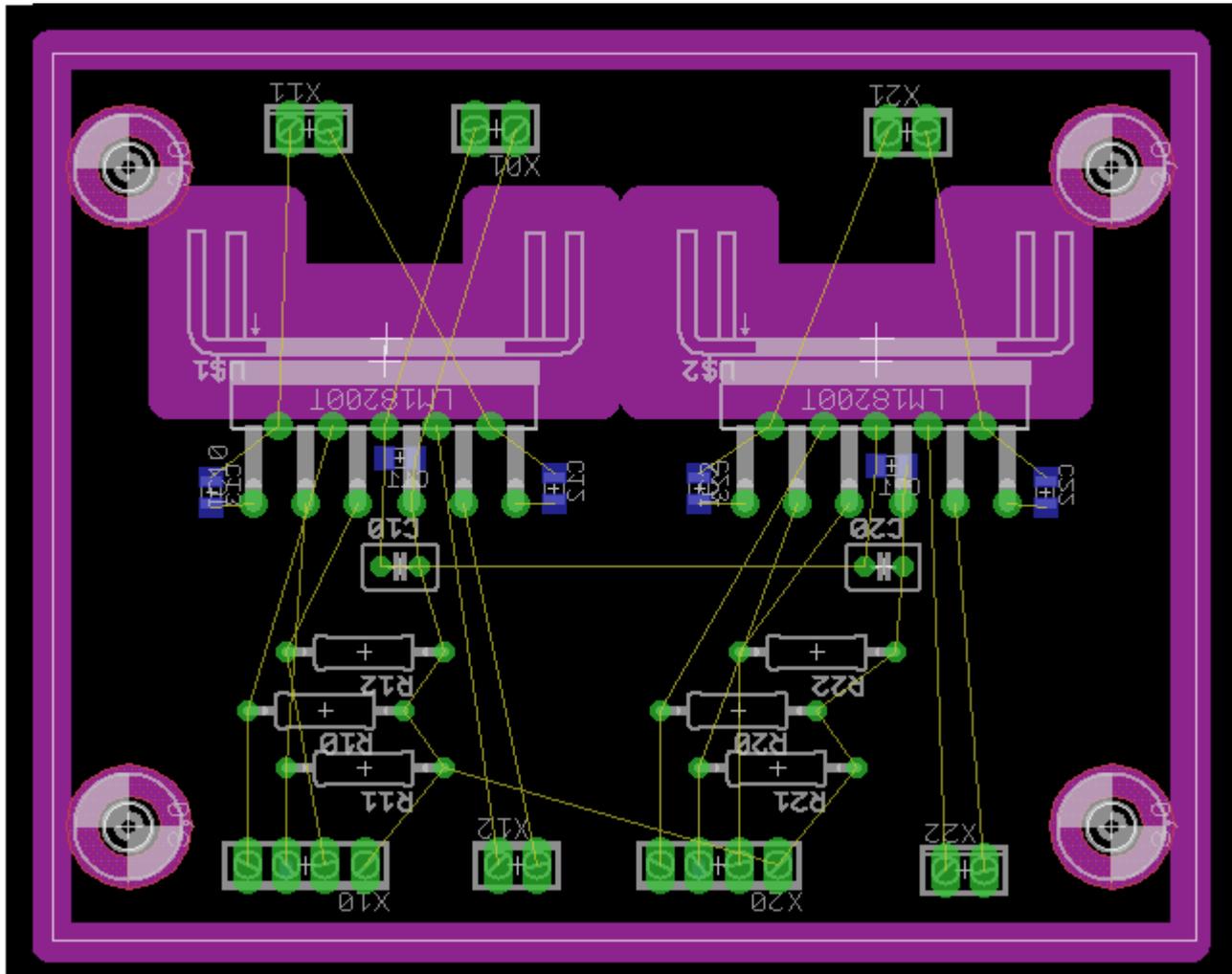
- Milling (fraisage)



Les PCB sont séparés APRES la pose et la brasure des composants. Il ne faut donc JAMAIS placé des composants fragiles (e.g. capa céramique) près du bord de carte.

Le placement : bord de carte, mécanique, etc.

- Exemple



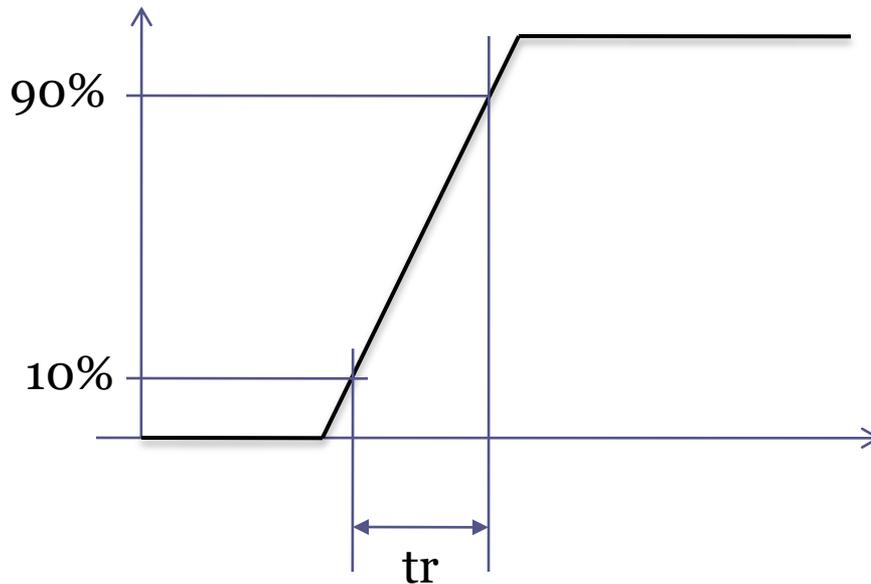
Le placement : identification des clusters

- Identifier et regrouper les fonctions / blocs
 - On peut s'aider en repérant les composants sous la forme Kxy avec :
 - K : type du composant (R, C, L, Q, U, ...)
 - x : numéro de la fonction
 - y : numéro du composant.

- Identifier les signaux critiques
 - Est-ce une alimentation ?
 - Est-ce un signal rapide ou avec des fronts raides (horloge, I2C, ...) ?
 - Est-ce qu'il y a des courants forts (>1A) ?
 - Est-ce qu'il y a des fortes tensions (>50V) ?
 - Est-ce que le signal est « haute impédance » (>100k Ω)

Le placement : identification des clusters

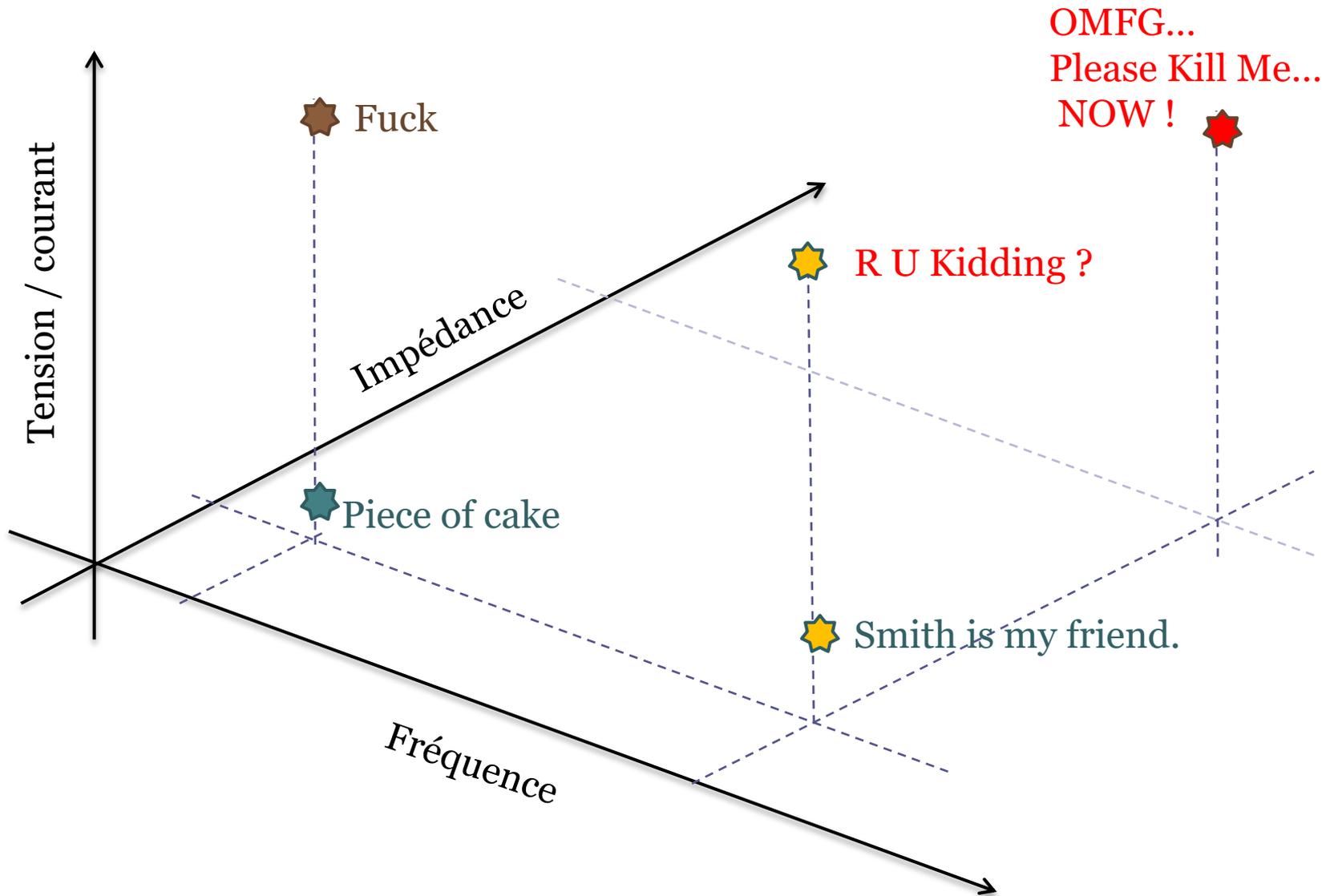
- Attention aux signaux numériques !
- C'est le temps de montée du signal et non la fréquence du signal qui compte



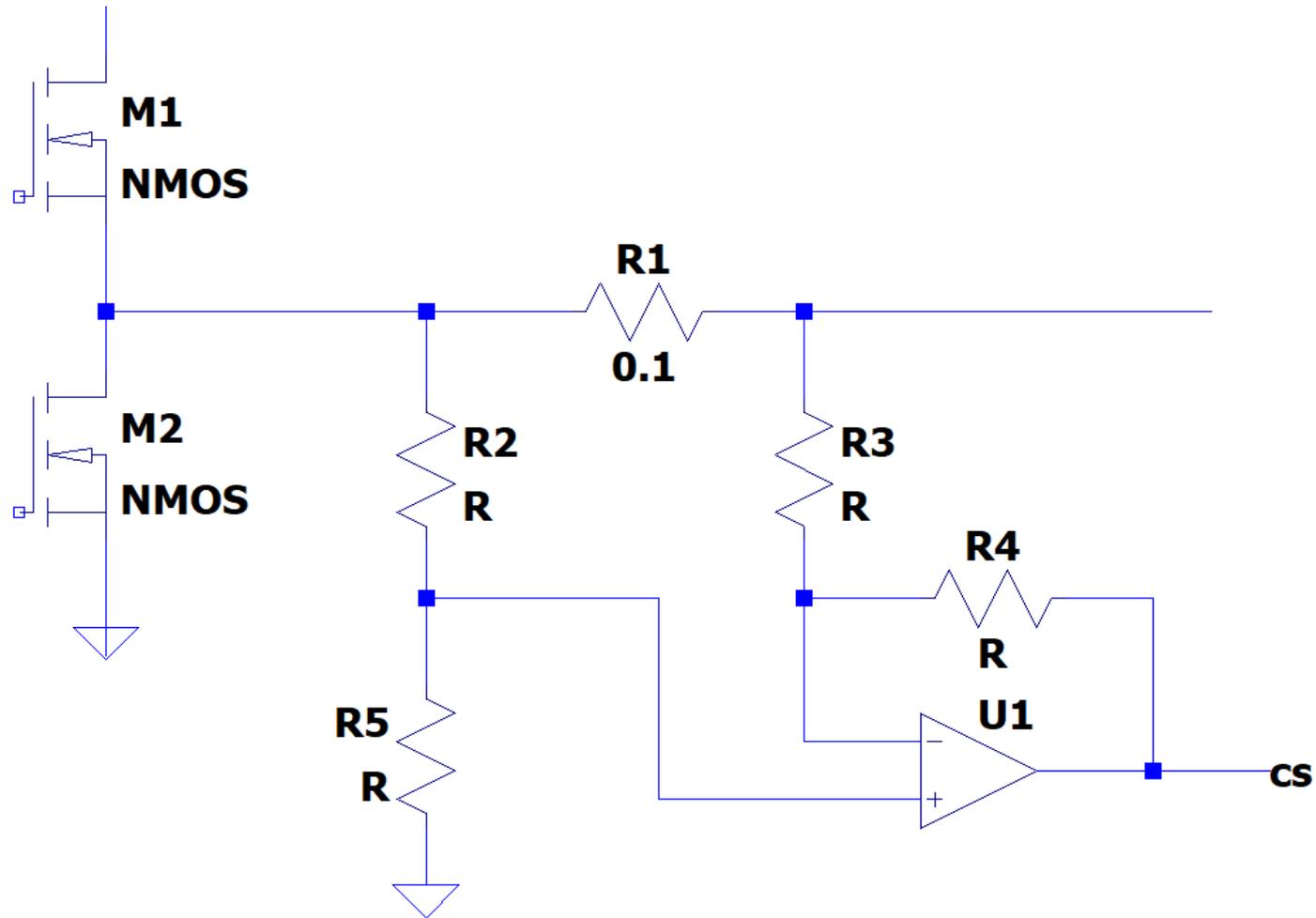
$$F_{eq} = 0.35/tr$$

$$1ns \Rightarrow 350 \text{ MHz}$$

Le placement : identification des clusters



Le placement : identification des clusters

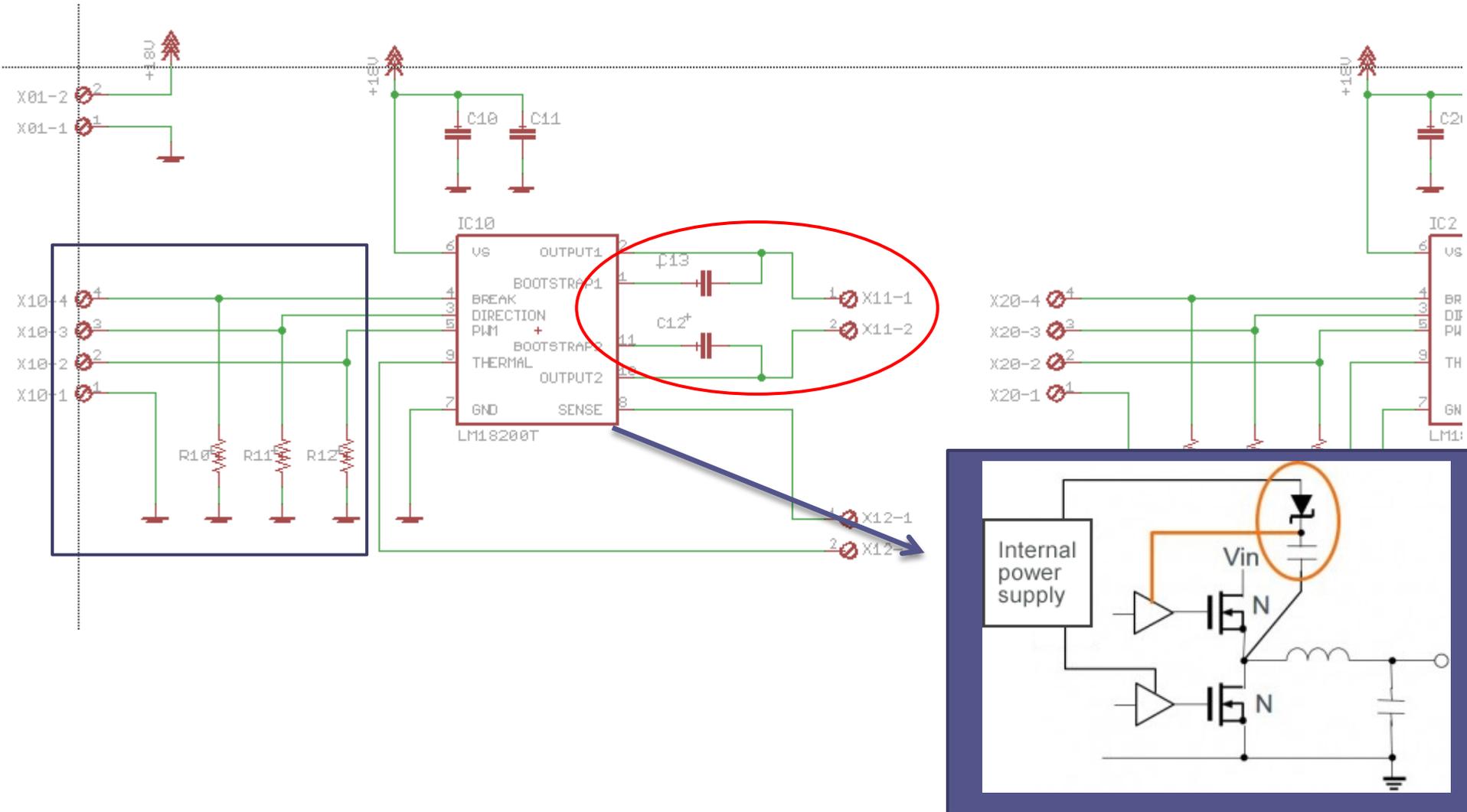


Le placement : identification des clusters

Type	Problème	Solution
Fort courants	Ca chauffe Ca rayonne	Grosses pistes / Plan Attention aux boucles
Fortes tensions	Ca claque	Augmenter les distances entre pistes
HF	C'est sensible Ca rayonne	Eloigner des autres trucs Eviter les couplages Attention aux impédances
Haute impédance	C'est sensible	Résistances de tirages aux plus court Plan de masse Eloigner des signaux fort courants

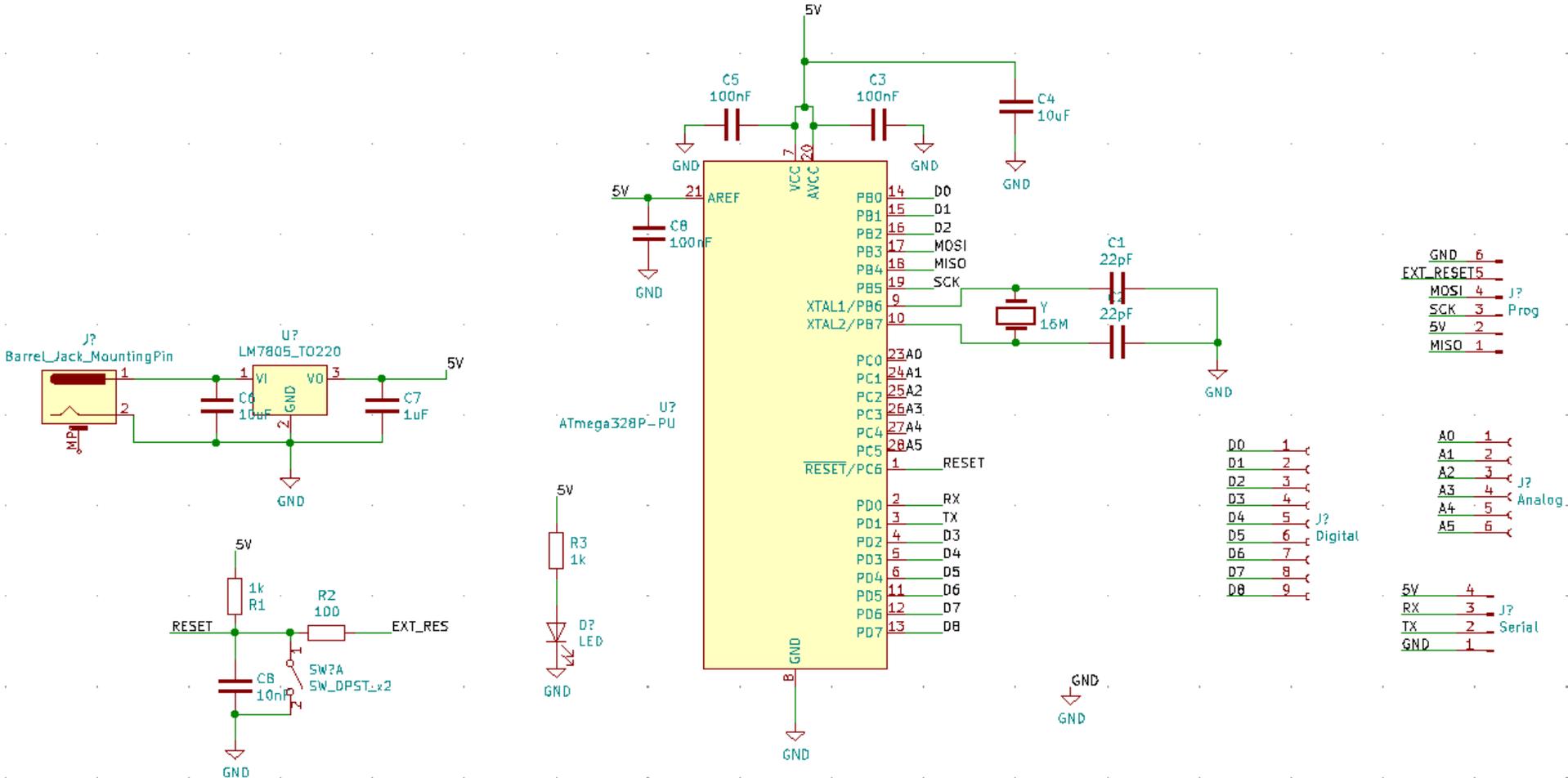
Le placement : identification des clusters

- Exemple carte moteur



Le placement : identification des clusters

- Exemple ATMEGA



Le placement : stratégies de placement

- Regrouper les composants par fonctions
- Placer les composants
 - De préférence dans le même sens
 - Ne pas coller les composants
 - Placer en premier les éléments volumineux
 - Placer les composants qui sont font partie des signaux critiques
 - Placer le reste
- Essayer de router les pistes
- Effacer toutes les pistes et recommencer le placement...



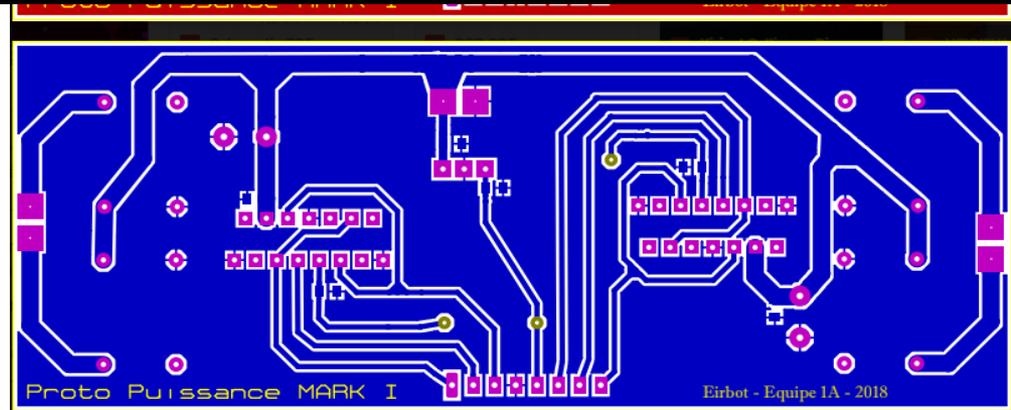
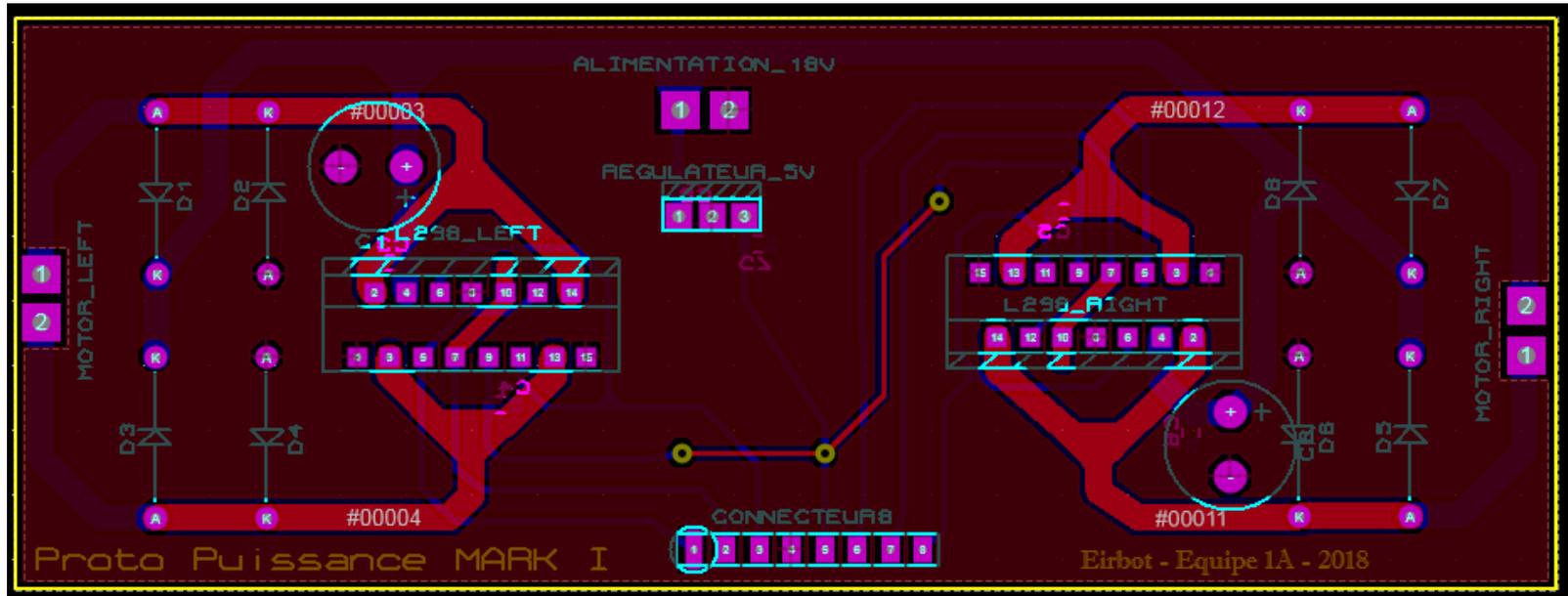
Attention aux composants qui chauffent : ne rien mettre à coté
Attention aux composants fragiles (capa céramique en bord de carte)

Remarques : essayer de rester en une face composants.

Dans tous les cas, tous les composants traversants et les composants lourds doivent être sur la même face

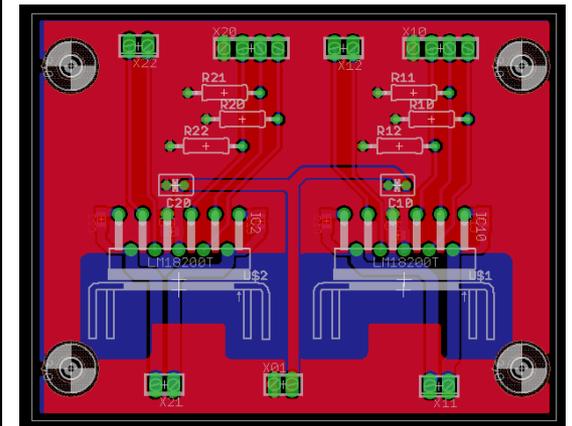
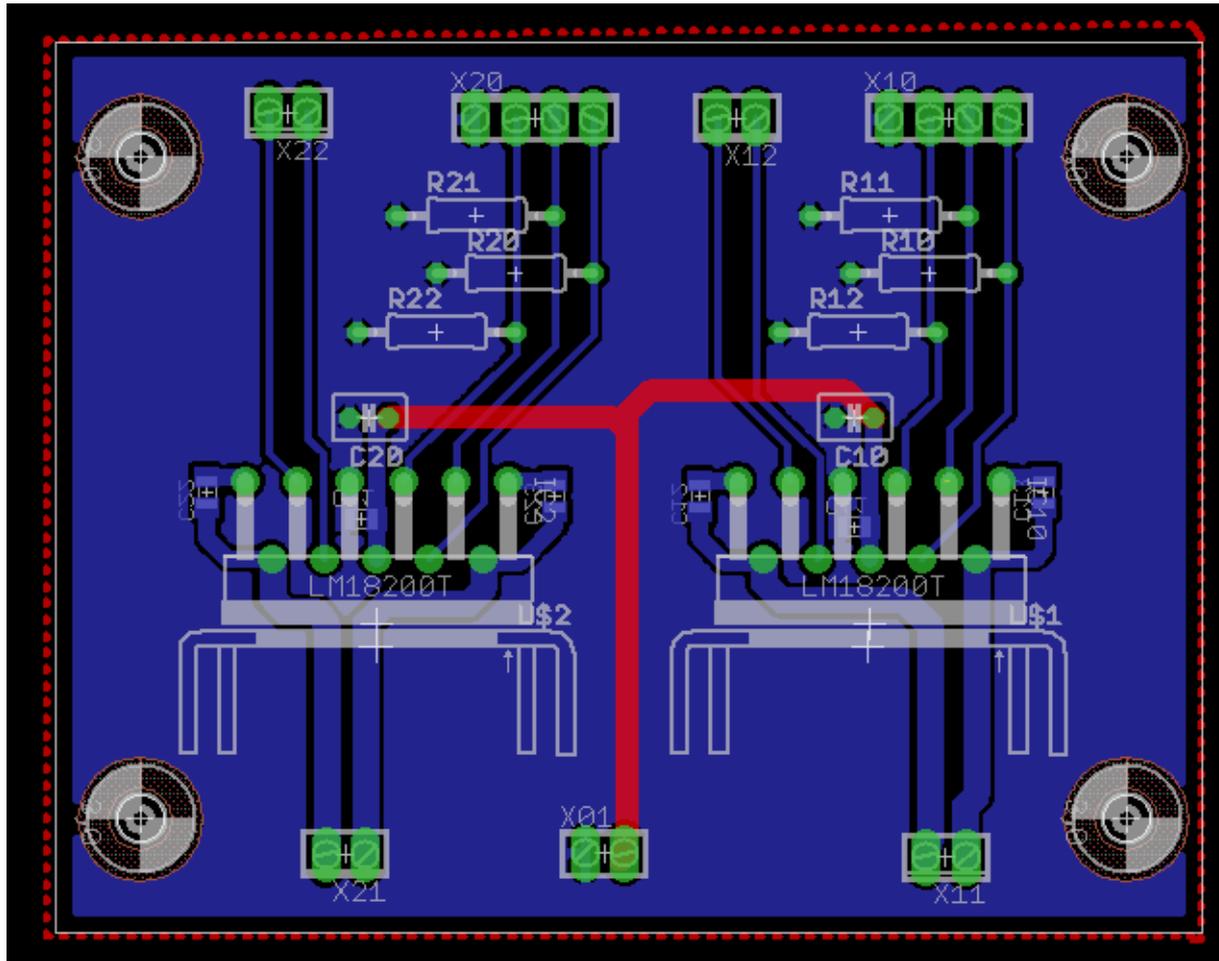
Le placement : stratégies de placement

- Exemple carte moteur



Le placement : stratégies de placement

- Exemple carte moteur



Plan

- *Introduction*
 - *Historique*
 - *Les différentes techno de PCB*
 - *IPC*
- *Le placement*
 - *Bord de carte, mécanique, bord techniques*
 - *Choix des clusters / signaux a risques*
 - *Règles, stratégies et techniques de placement*
- **Le routage I**
 - **Tailles des pistes et des vias**
 - **Clearances, isolement**
 - **Plan de masse**
 - **Stratégies de routage**

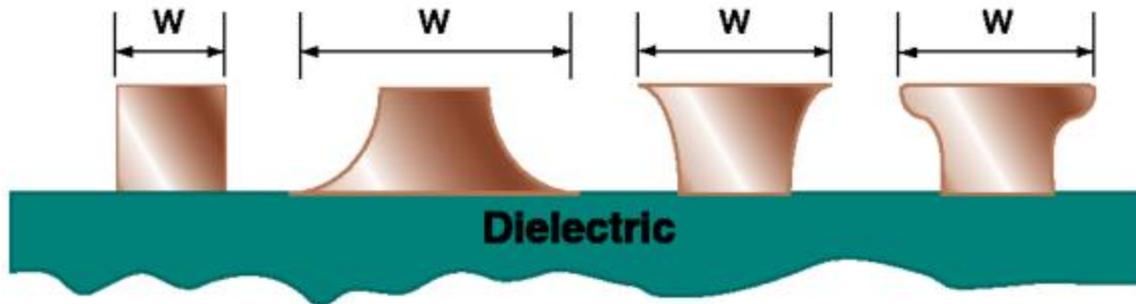
Routage I : tailles des pistes

- Plusieurs paramètres à prendre en compte
 - La techno des composants : elle impose la taille minimum de piste, donc l'épaisseur de cuivre ainsi que le coût.
 - Les paramètres électriques : certaines pistes sont contraintes en taille par :
 - Résistance électrique
 - Capacité parasite
 - Impédance dans le cas des lignes
 - ...
 - Les contraintes thermiques : l'élévation de température des pistes doit être maîtrisée.
- Généralement seule une contrainte parmi les précédentes domine (heureusement)
- Ces contraintes sont déduites de l'identification des signaux faite avant la phase de placement. Il est de bon aloi de créer des règles conditionnelles de clearance pour chaque groupe de signaux.

Routage I : tailles des pistes

- Taille minimum des pistes en fonction de l'épaisseur de cuivre

Épaisseur Cuivre	Largeur Min (μm)
18 μm (1/2 oz.)	90
35 μm (1oz)	125
70 μm (2oz)	200
105 μm (3oz)	250

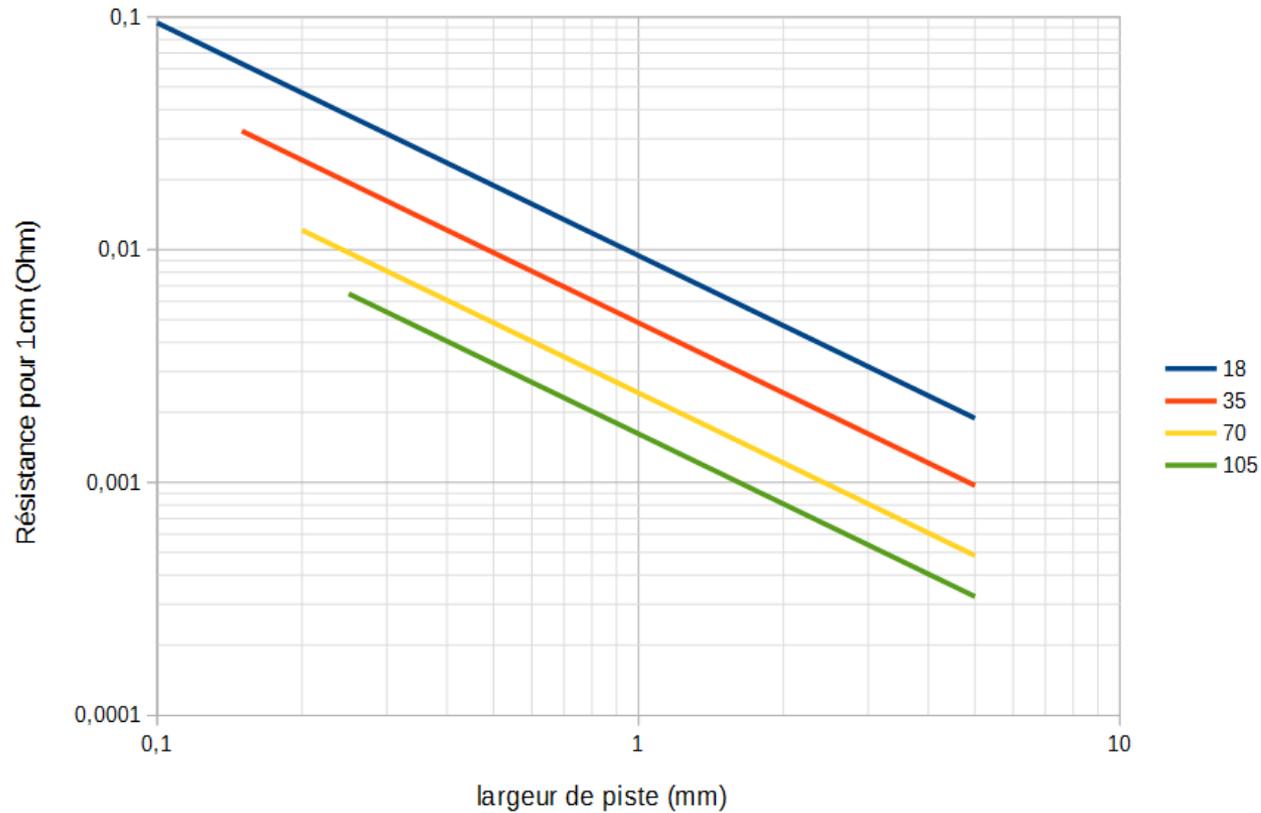


Routage I : tailles des pistes

- Résistance des pistes

$$\rho(\text{Cu}) = 1,7 \cdot 10^{-8} \Omega\text{m}$$

$$R = \rho \frac{l}{S} = \rho \frac{l}{w \times t}$$



Attention à l'effet de peau

Routage I : tailles des pistes

- Résistance des pistes



Attention l'épaisseur peut varier lors de la gravure.

Généralement, le fabricant se place toujours à la tolérance minimum.

Weight	Absolute Cu Min. (IPC-4562 less 10% reduction) (µm) [µin]	Maximum Variable Processing Allowance Reduction ¹ (µm) [µin]	Minimum Final Finish after Processing (µm) [µin]
1/8 oz. [5.10]	4.60 [181]	1.50 [59]	3.1 [122]
1/4 oz. [8.50]	7.70 [303]	1.50 [59]	6.2 [244]
3/8 oz. [12.00]	10.80 [425]	1.50 [59]	9.3 [366]
1/2 oz. [17.10]	15.40 [606]	4.00 [157]	11.4 [449]
1 oz. [34.30]	30.90 [1,217]	6.00 [236]	24.9 [980]
2 oz. [68.60]	61.70 [2,429]	6.00 [236]	55.7 [2,193]
3 oz. [102.90]	92.60 [3,646]	6.00 [236]	86.6 [3,409]
4 oz. [137.20]	123.50 [4,862]	6.00 [236]	117.5 [4,626]
Above 4 oz. [137.20]	IPC-4562 value less 10% reduction	6.00 [236]	6 µm [236 µin] below minimum thickness of calculated 10% reduction of foil thickness in IPC-4562

Note 1. Process allowance reduction does not allow for rework processes for weights below 1/2 oz. For 1/2 oz. and above, the process allowance reduction allows for one rework process.

Note 2. Additional platings that may be required for internal layer conductors **shall** be separately designated as a plating thickness requirement.

Routage I : tailles des pistes

- Tailles minimum recommandées

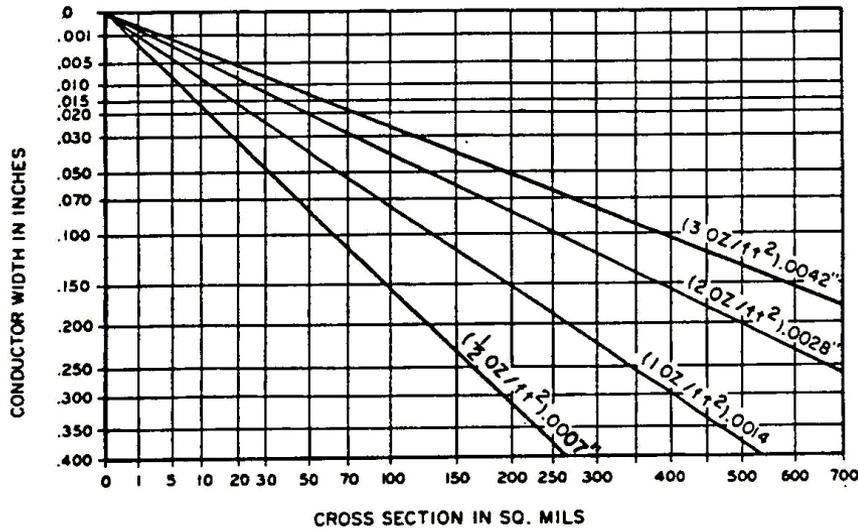


Figure B Conductor width to cross-section relationship

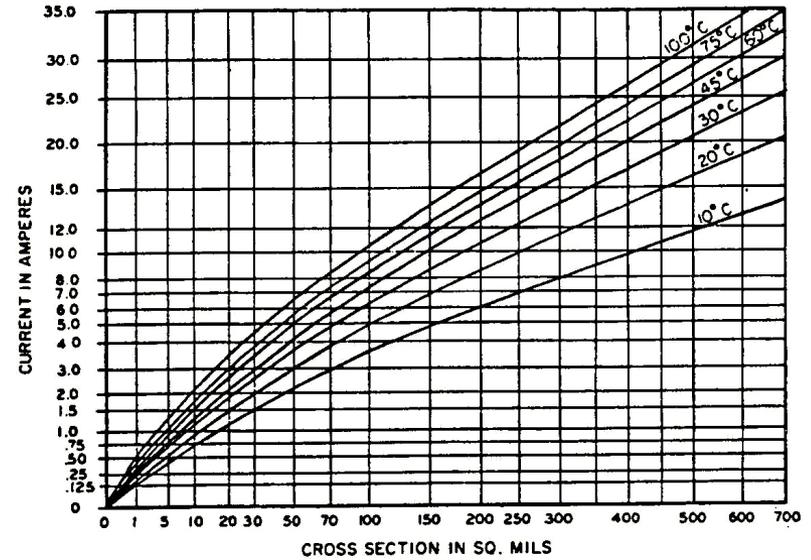


Figure A External Conductors

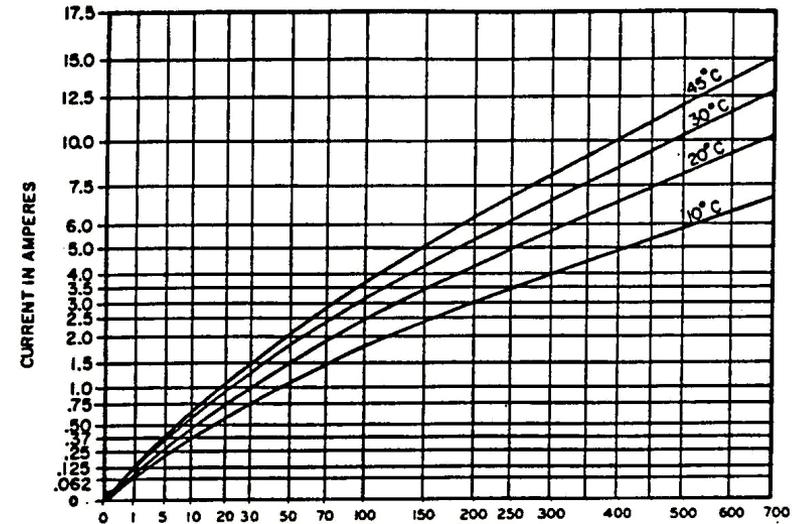


Figure C Internal Conductors

Routage I : tailles des pistes

- Isolement entre pistes (clearances). Normes EN60590
- IPC 2221 – Attention « fonctionnel uniquement »

Vpk,V	Internal layers		External conductors, uncoated		External conductors coated	
	mm	inch	mm	inch	mm	inch
15	0.05	0.002	0.1	0.004	0.05	0.002
30	0.05	0.002	0.1	0.004	0.05	0.002
50	0.1	0.004	0.6	0.024	0.13	0.006
100	0.1	0.004	0.6	0.024	0.13	0.006
150	0.2	0.008	0.6	0.024	0.4	0.016
170	0.2	0.008	1.25	0.05	0.4	0.016
250	0.2	0.008	1.25	0.05	0.4	0.016
300	0.2	0.008	1.25	0.05	0.4	0.016
500	0.25	0.01	2.5	0.1	0.8	0.032
1000	1.5	0.06	5	0.2	2.33	0.092
2000	4	0.158	10	0.4	5.38	0.22
3000	6.5	0.256	15	0.6	8.43	0.34
4000	9	0.355	20	0.79	11.48	0.46
5000	11.5	0.453	25	0.99	14.53	0.58

Routage I : tailles des pistes

- Isolement entre pistes (clearances)

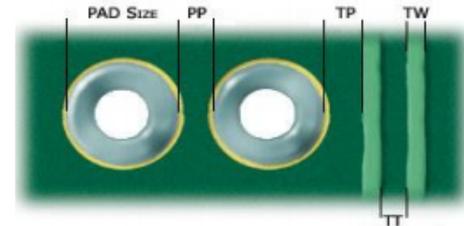
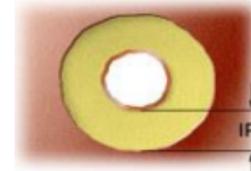
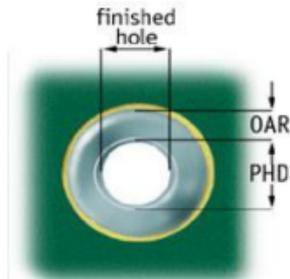


Eurocircuits - PCB design classification overview

Pattern Class	class 3		class 4		class 5		class 6		class 7		class 8		class 9		class 10		
Service	N+P+S+B+R+RF+I		N+P+S+B+R+RF+I		N+P+S+B+R+RF+I		N+P+S+B+R+RF+I		S+R		S+R		S+R		-		
OTW	0.250	10	0.200	8	0.175	7	0.150	6	0.125	5	0.100	4	0.090	3.5	<0.090	<3.5	mm-mil
OTT-OTP-OPP	0.250	10	0.200	8	0.175	7	0.150	6	0.125	5	0.100	4	0.090	3.5	<0.090	<3.5	mm-mil
OAR	0.200	8	0.150	6	0.150	6	0.125	5	0.125	5	0.100	4	0.100	4	<0.100	<4	mm-mil
ITW	0.250	10	0.200	8	0.175	7	0.150	6	0.125	5	0.100	4	0.090	3.5	<0.090	<3.5	mm-mil
ITT-ITP-IPP	0.250	10	0.200	8	0.175	7	0.150	6	0.125	5	0.100	4	0.090	3.5	<0.090	<3.5	mm-mil
IAR	0.200	8	0.150	6	0.150	6	0.125	5	0.125	5	0.125	5	0.125	5	<0.125	<5	mm-mil
IPI	0.275	11	0.225	9	0.225	9	0.200	8	0.200	8	0.200	8	0.200	8	<0.200	<8	mm-mil

The smallest value (OTW, OTT-OTP-OPP, OAR, ITW, ITT-ITP-IPP, IAR, IPI) determines the **Pattern Class** of the board

Base Cu		min Pattern values				
Base Cu OL		OTT-OTP-OPP		OTW		
12µm	½oz	0.090	3.5	0.090	3.5	mm-mil
18µm	½oz	0.125	5	0.090	3.5	mm-mil
35µm	1oz	0.175	7	0.125	5	mm-mil
70µm	2oz	0.250	10	0.200	8	mm-mil
105µm	3oz	0.300	12	0.250	10	mm-mil
Base Cu IL		ITT-ITP-IPP		ITW		
12µm	½oz	0.090	3.5	0.090	3.5	mm-mil
18µm	½oz	0.100	4	0.090	3.5	mm-mil
35µm	1oz	0.125	5	0.125	5	mm-mil
70µm	2oz	0.250	10	0.200	8	mm-mil
105µm	3oz	0.300	12	0.250	10	mm-mil



Preceding letters **O** and **I** stand for Outer- and Inner layer
Example: **OTW** = Outer layer Track Width

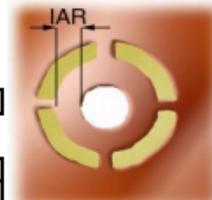
OAR : smallest OAR (Outer layer Annular Ring = 1/2 (Outer layer pad diameter - PHD))

IAR : smallest IAR (Inner layer Annular Ring = 1/2 (Inner layer pad diameter - PHD))

IPI (Inner layer Pad Insulation) : Clearance between edge PHD of any unconnected hole (PTH/NPTH) and any nearest copper

Smallest **PHD** : Production Hole Diameter or tool size = finished hole size + 0.10mm/4mil for Plated Through Holes
+ 0.00mm/0mil for Non Plated Through Holes

Drill Class	class A		class B		class C		class D		class E		class F		
Service	N+P+S+B+R+RF+I		N+P+S+B+R+RF		N+P+S+B+R+RF		S+R		S+R		-		
min PHD	0.60	0.026	0.45	0.018	0.35	0.014	0.25	0.010	0.20	0.008	<0.20	<0.008	mm-inch
Corresponding finished holes sizes													
PTH	0.50	0.022	0.35	0.014	0.25	0.010	0.15	0.006	0.10	0.004	<0.10	<0.004	mm-inch
NPTH	0.60	0.026	0.45	0.018	0.35	0.014	0.25	0.010	0.20	0.008	<0.20	<0.008	mm-inch



The smallest value (PHD) determines the **Drill Class** of the PCB

Max. PCB thickness to Drill Class	3.20	0.125	3.20	0.125	2.40	0.093	2.00	0.079	1.60	0.062	mm-inch	Aspect ratio is 1/8
-----------------------------------	------	-------	------	-------	------	-------	------	-------	------	-------	---------	---------------------

Note A: VIA holes are Plated Through Holes, default defined as <=0.45mm (18mil) for all services or <= as defined by the customer in the order details.

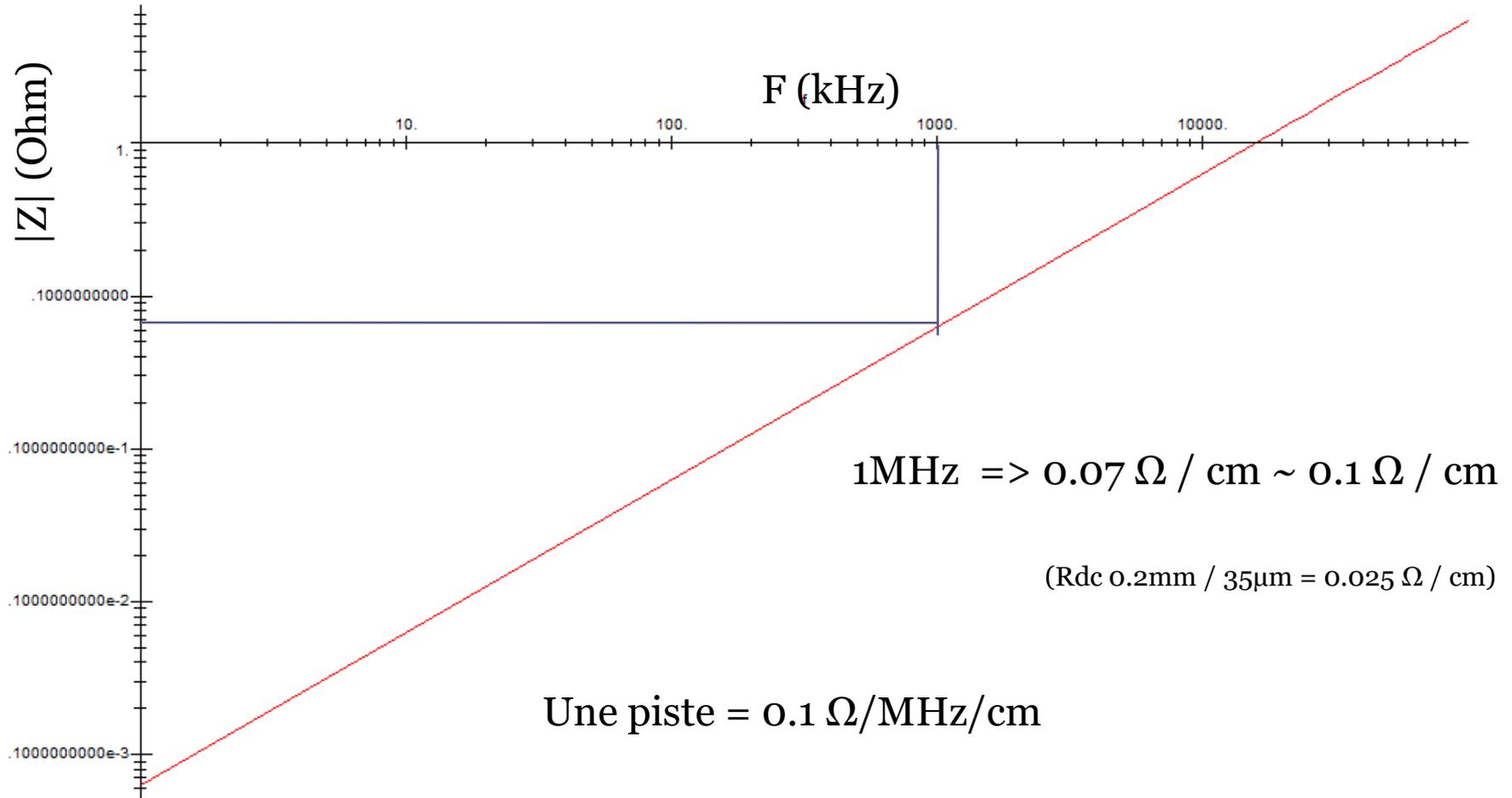
VIA holes have a maximum negative tolerance of 0.30mm (12mil)

Note B: This classification table can only be put into praxis on PCB designs that have a **Plating Index of 0.40 or higher**. This is calculated in the PCB Visualizer analysis and displayed in the PCB Visualizer order details.

Services Index : N = NAKED proto P = PCB proto S = STANDARD pool B = BINDI pool R = RF pool SF = SEMI-FLEX pool I = IMS pool

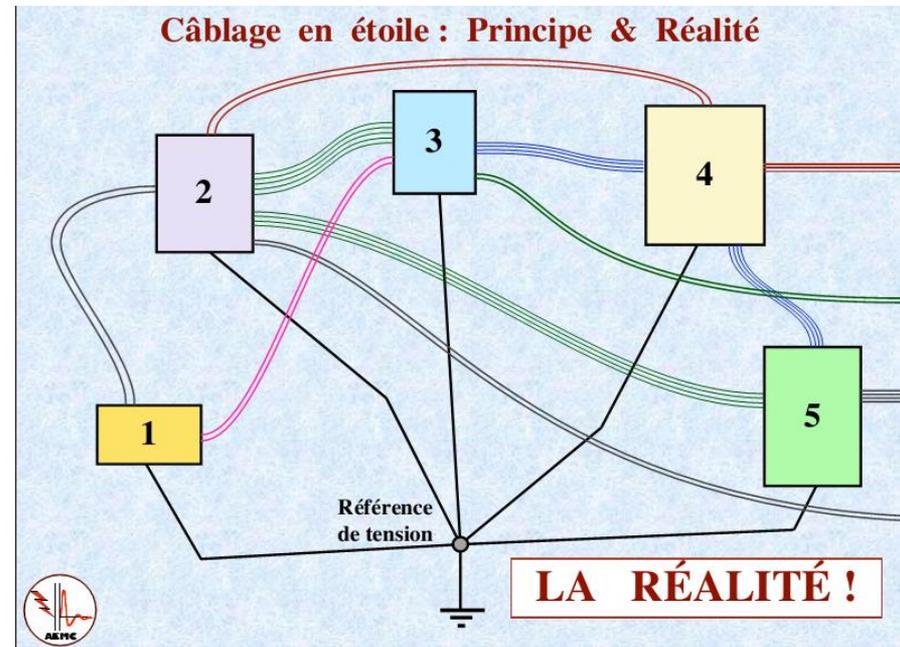
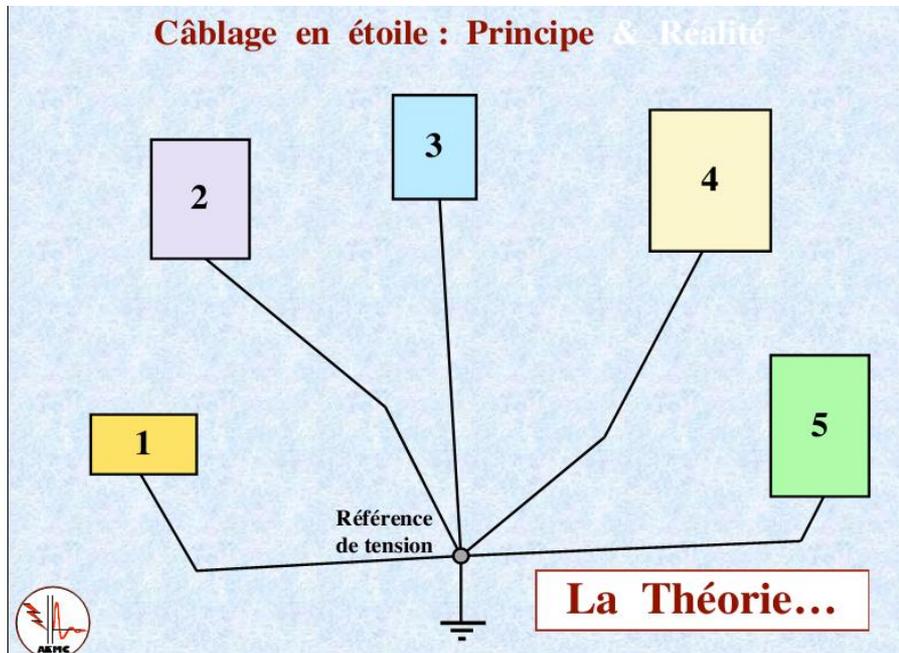
Routage I : Plan de masse

- Pourquoi le plan de masse ?
 - Une piste = 10nH/cm



Routage I : Plan de masse

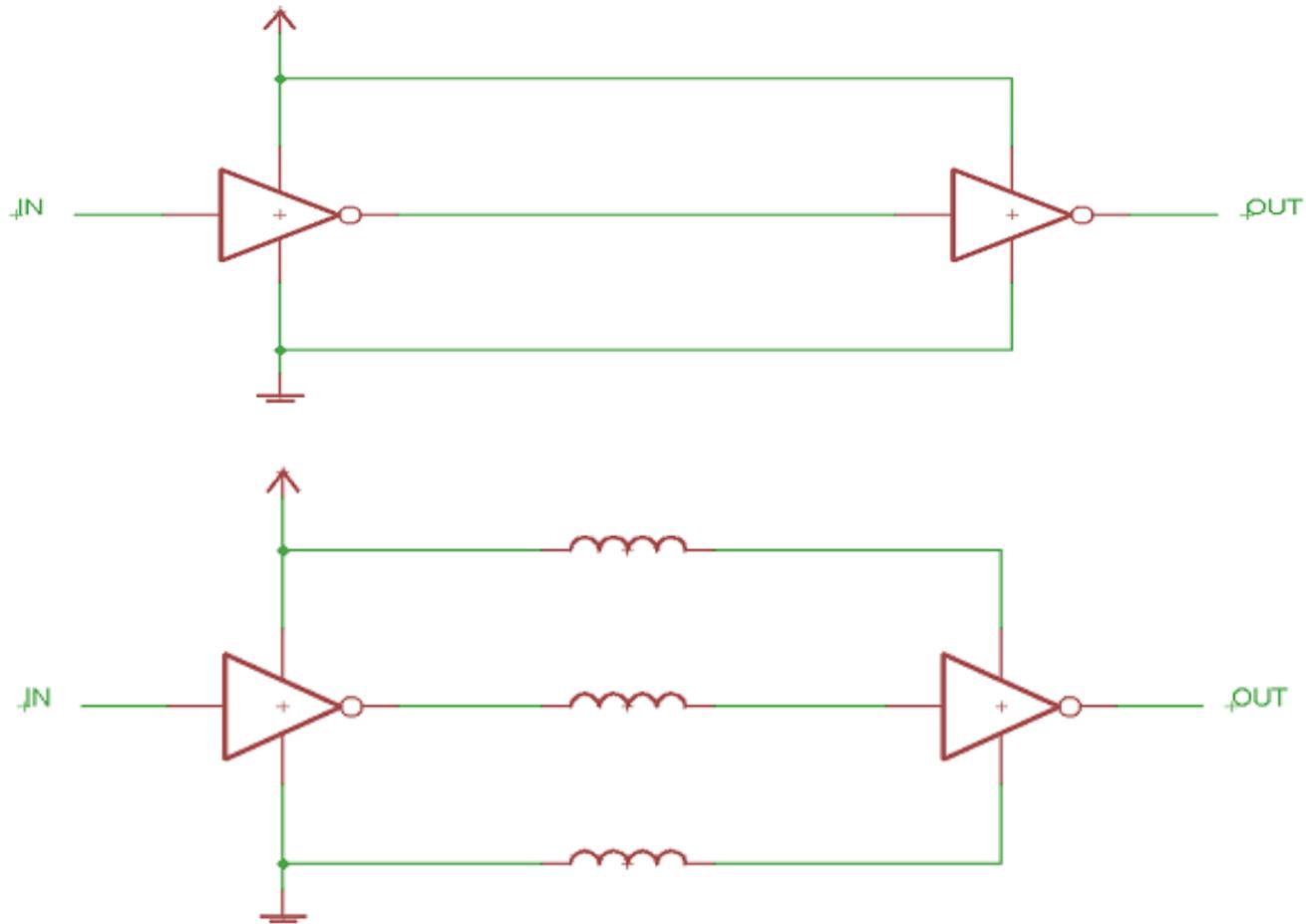
- Pourquoi le plan de masse ?
 - Une piste = 10nH/cm
 - Le routage étoile n'est généralement pas applicable



Source : AEMC (www.aemc.fr/documentation/conception/)

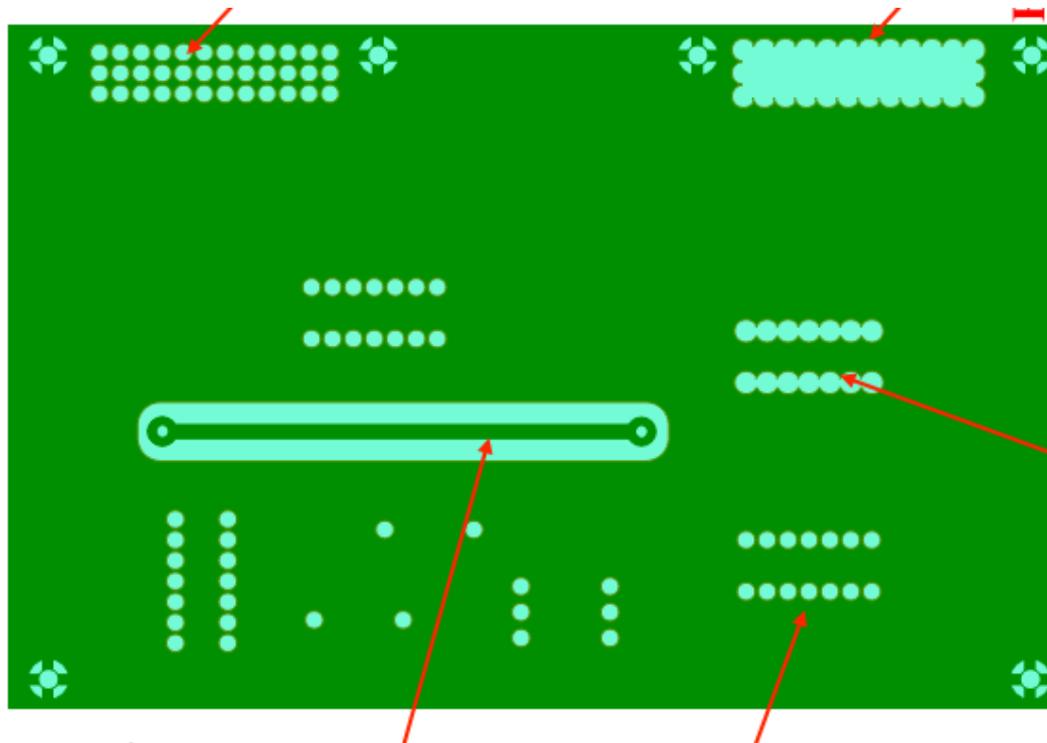
Routage I : Plan de masse

- Pourquoi le plan de masse ?
 - Influence sur le signal



Routage I : Plan de masse

- NE JAMAIS COUPER UN PLAN DE MASSE
- L'impédance d'une fente est de l'ordre de 1nH/cm
- Si la fente coupe un chemin de courant fort, le pcb rayonne (EMI, parasites)



Routage I : Plan de masse

- NE JAMAIS COUPER UN PLAN DE MASSE MÊME SUR DES CARTES MIXTES ANALOGIQUE / NUMERIQUE. Attention aux datasheets !

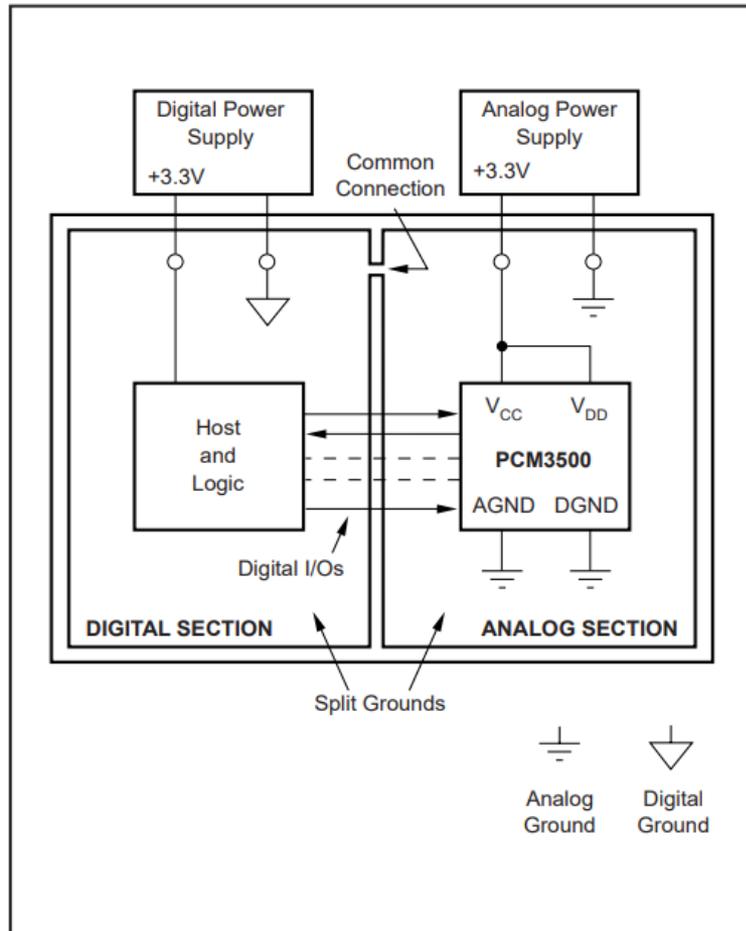


FIGURE 18. Recommended PCB Layout Technique.

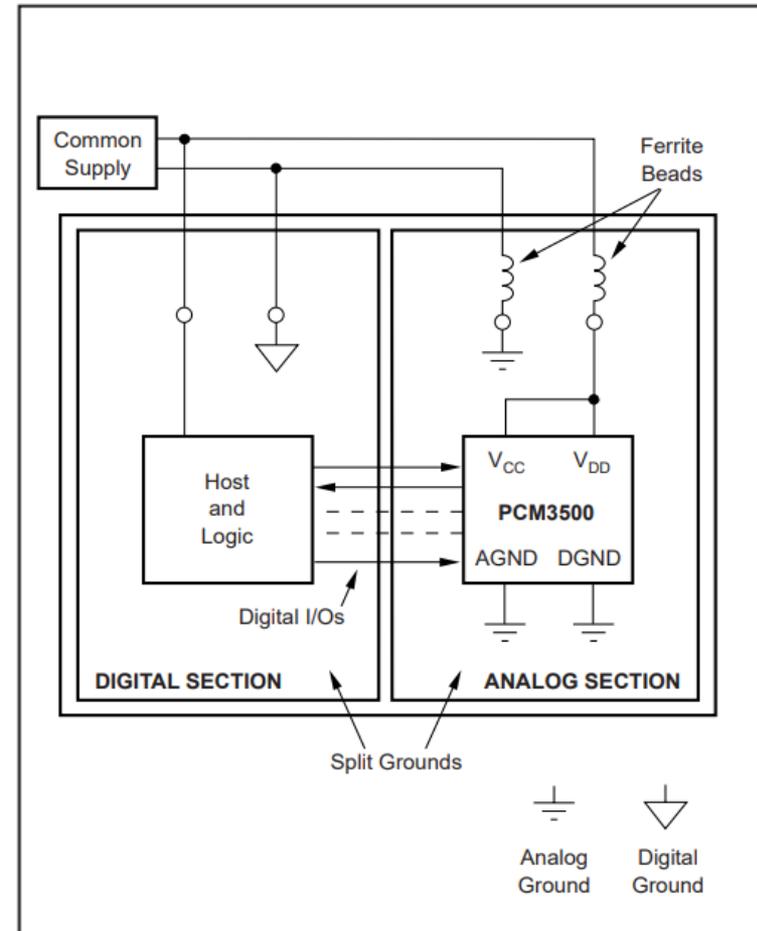
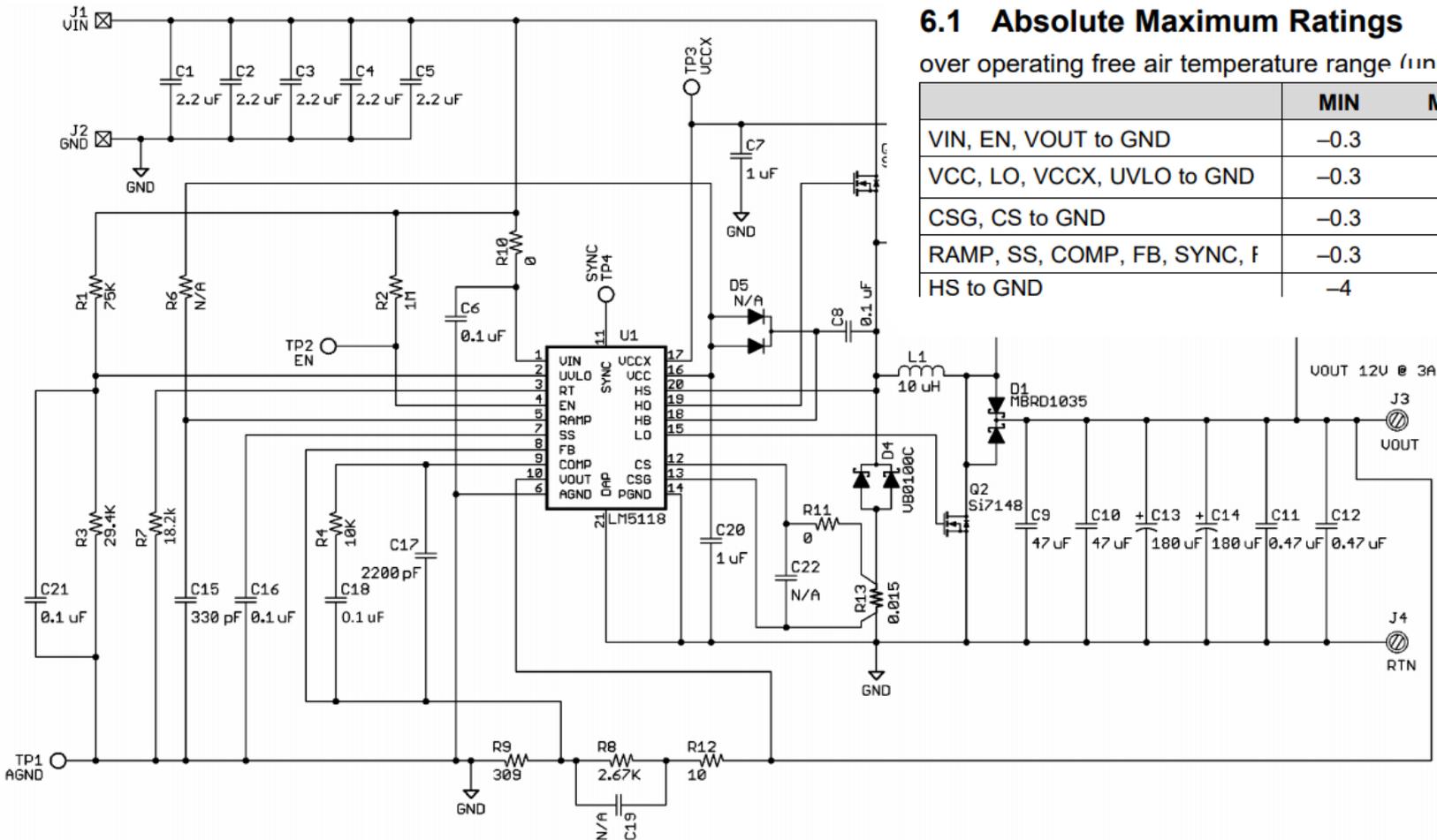


FIGURE 19. PCB Layout Using a Single-Supply or Battery.

Routage I : Plan de masse

- NE JAMAIS COUPER UN PLAN DE MASSE MÊME SUR DES CARTES MIXTES PUISSANCE / PETIT SIGNAUX. Attention aux datasheets !

Typical Application (continued)



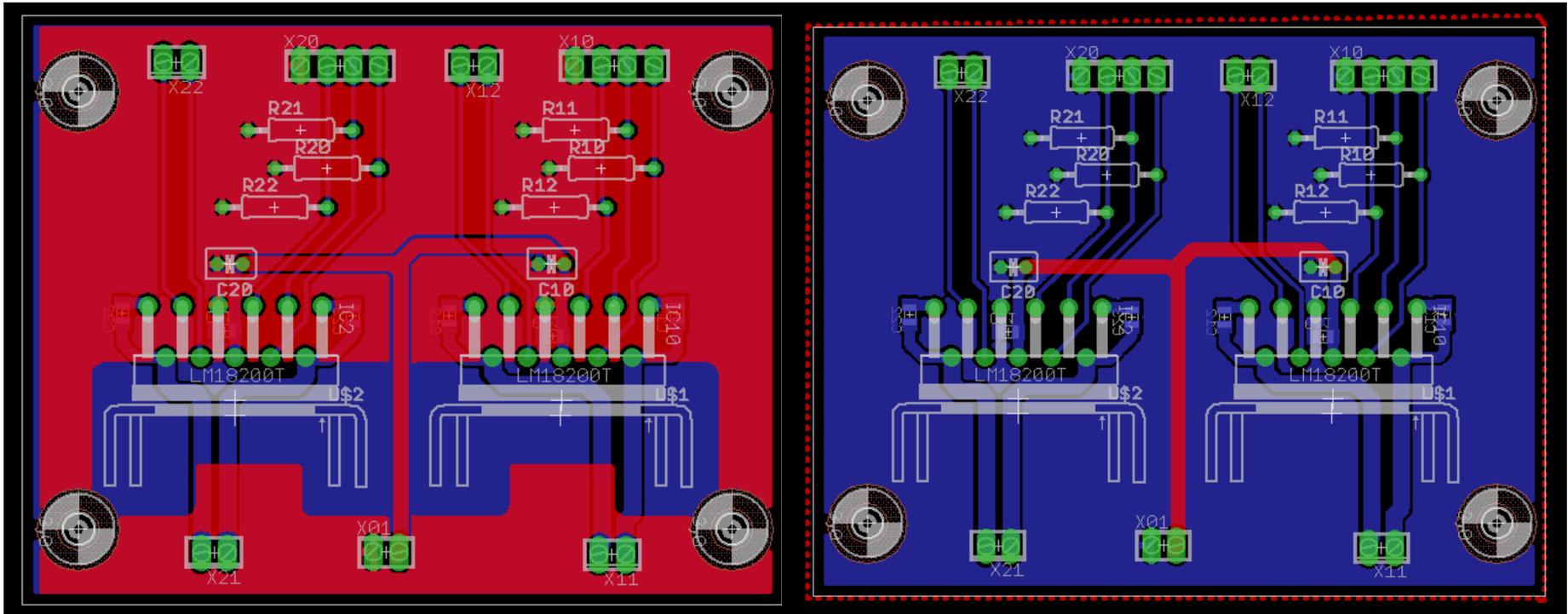
6.1 Absolute Maximum Ratings

over operating free air temperature range (unless otherwise specified)

	MIN	MAX	UN
VIN, EN, VOUT to GND	-0.3	76	V
VCC, LO, VCCX, UVLO to GND	-0.3	15	V
CSG, CS to GND	-0.3	0.3	V
RAMP, SS, COMP, FB, SYNC, f	-0.3	7	V
HS to GND	-4	76	V

Routage I : Plan de masse

- NE JAMAIS COUPER UN PLAN DE MASSE



Quand on doit couper un plan (c'est souvent le cas en deux couches), on met des via pour éviter les problèmes

Routage I : Stratégies de routages

- En deux couches :
 - On fait ce que l'on peut, on essaye de limiter les trous dans le plan de masse.
 - Le routage est très sensible au placement, il faut donc faire plusieurs essais
 - On peut essayer de privilégier des orientations de pistes (top vertical / bottom horizontal)
- En quatre couches et plus :
 - On réserve une couche pour le plan de masse
 - On assigne à chaque couches restante une direction (vertical, horizontal, diagonal)
 - Le routage est généralement plus simple et moins sensible au placement

Routage I : Stratégies de routages

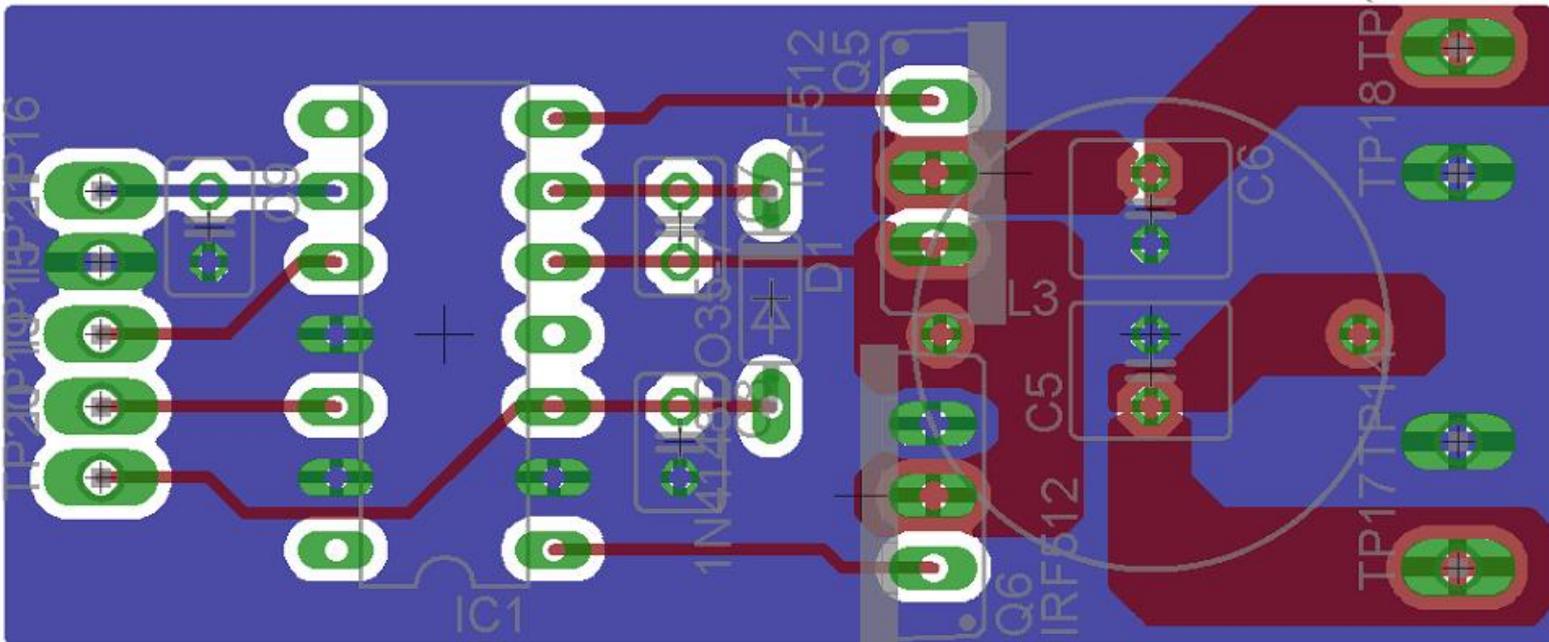
- Proposition d'un ordre pour le routage :
 - Commencer par les signaux critiques (courant, HF, ...)
 - Tirer les masses (ne pas compter sur le plan de masse pour rattraper à la fin du routage). C'est particulièrement utile pour les signaux sensibles (impédance)
 - Router chaque fonction indépendamment
 - Router les interconnexions entre les fonctions (déplacer les fonctions si nécessaire)
 - Router les alims « faible courant »

Plan

- **Le routage II**
 - **Gérer la thermique.**
 - **De l'influence du routage sur les signaux**
 - **Couplages**
 - **Exemples de routages**
- *Exotisme*
 - *Vernis épargne, silksreen, stencil, via in pad, pin in paste, ...*
 - *Comment spécifier un PCB : Tg, CTE, MSL, Reflow/wave soldering*
 - *Les finitions HASL, ENIG, ENEPIG*
- *Conclusion*
 - *Rappels*
 - *Les erreurs classiques*
 - *Questions*

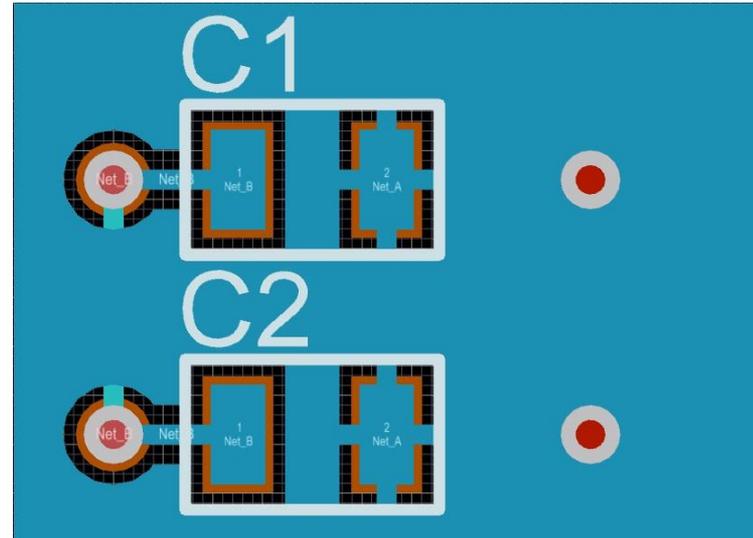
Routage II : Thermique

- Les composants reliés à des plans on leur pastille noyé dans le cuivre.
- Problème : ca devient très chiant à souder



Routage II : Thermique

- Solution : on met des freins thermiques

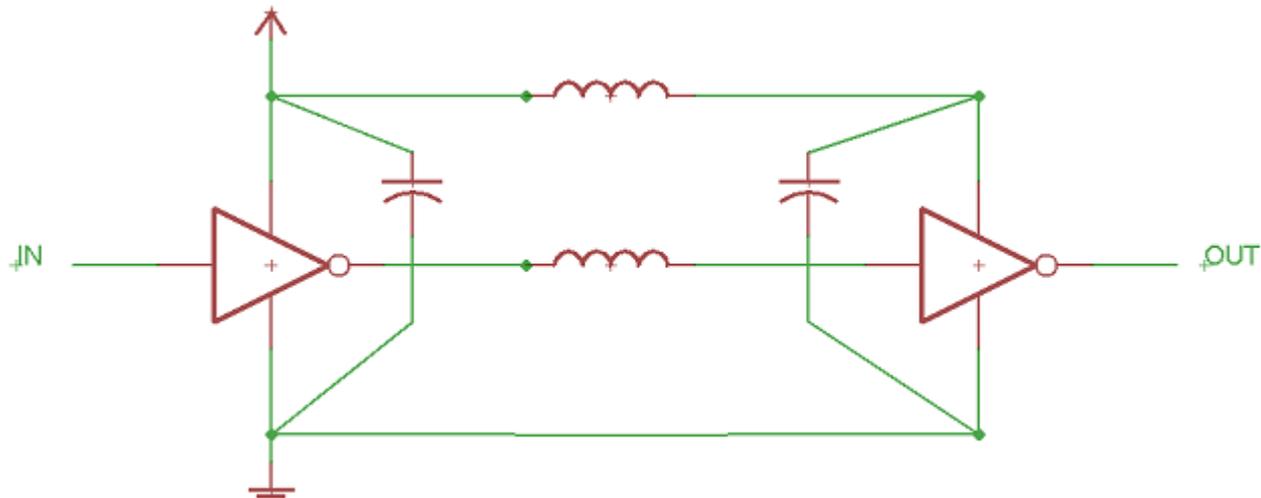
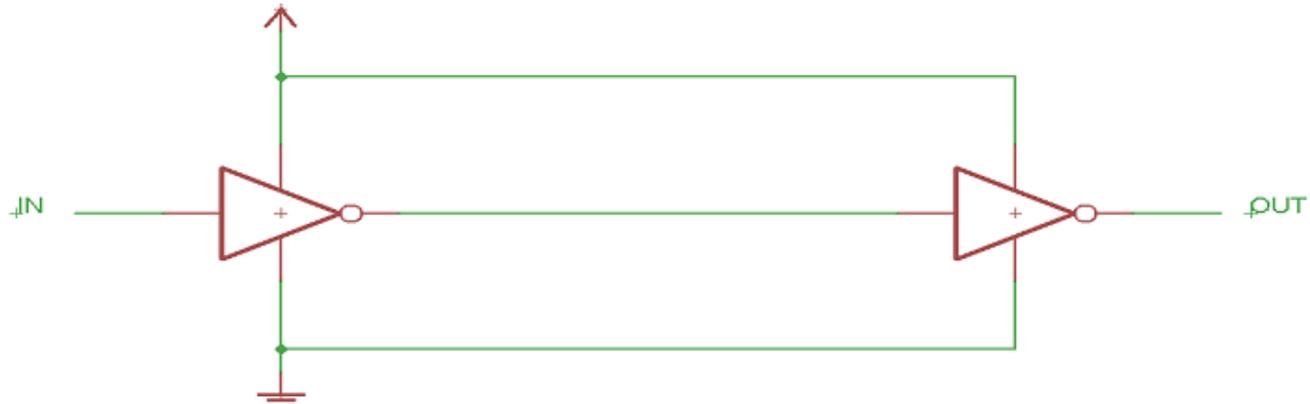


Il faut faire attention à la taille des freins thermique
(attention à la génération automatique)

- Les composants CMS utilisent de plus en plus le PCB comme dissipateur, il y a des compromis à faire

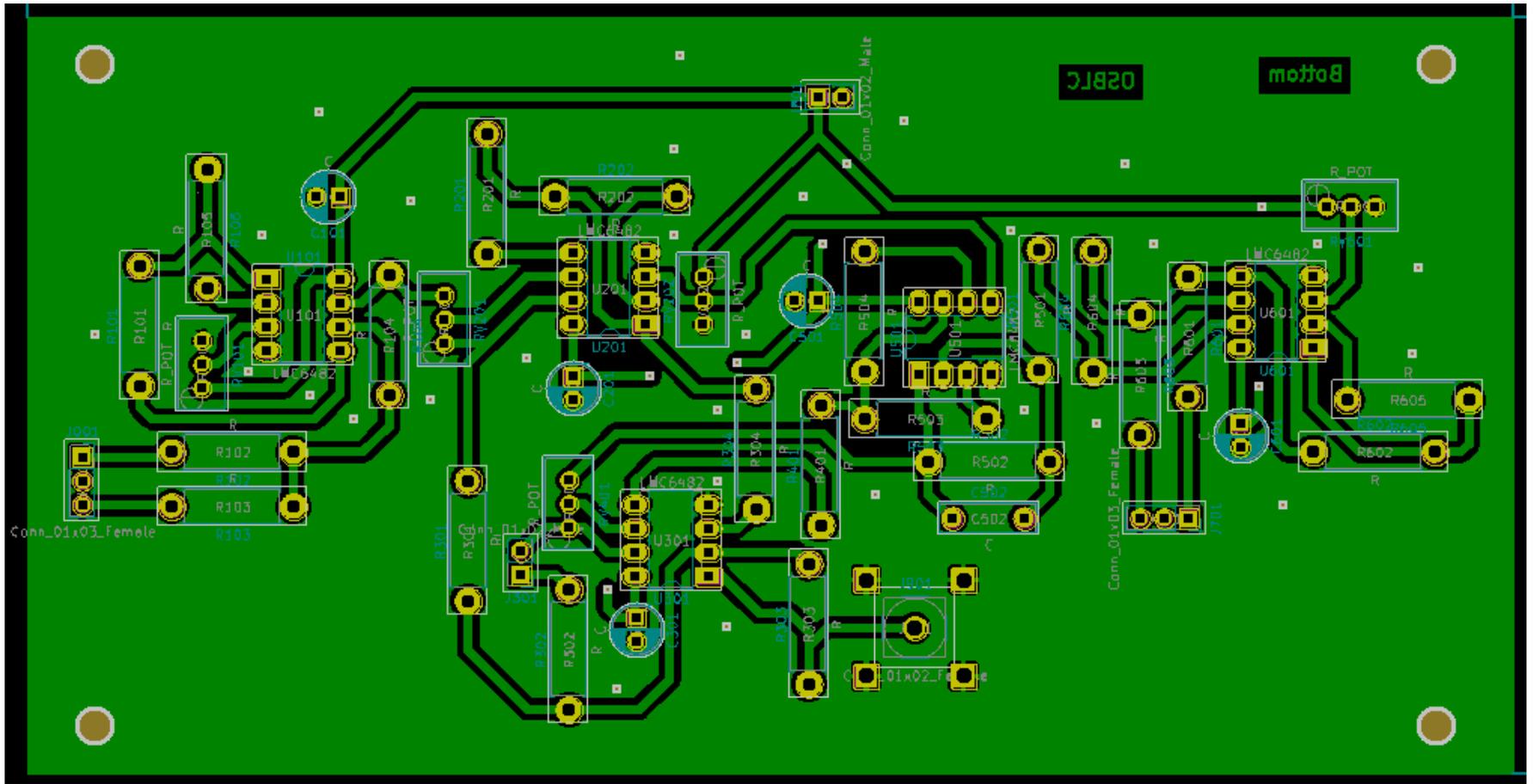
Routage II : Influence sur les signaux

- Plan d'alim ?



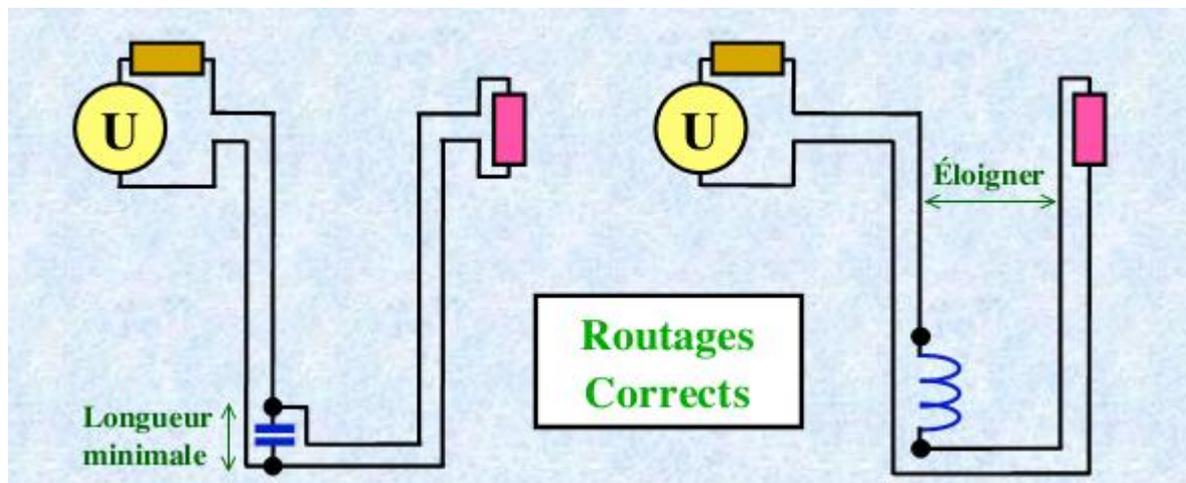
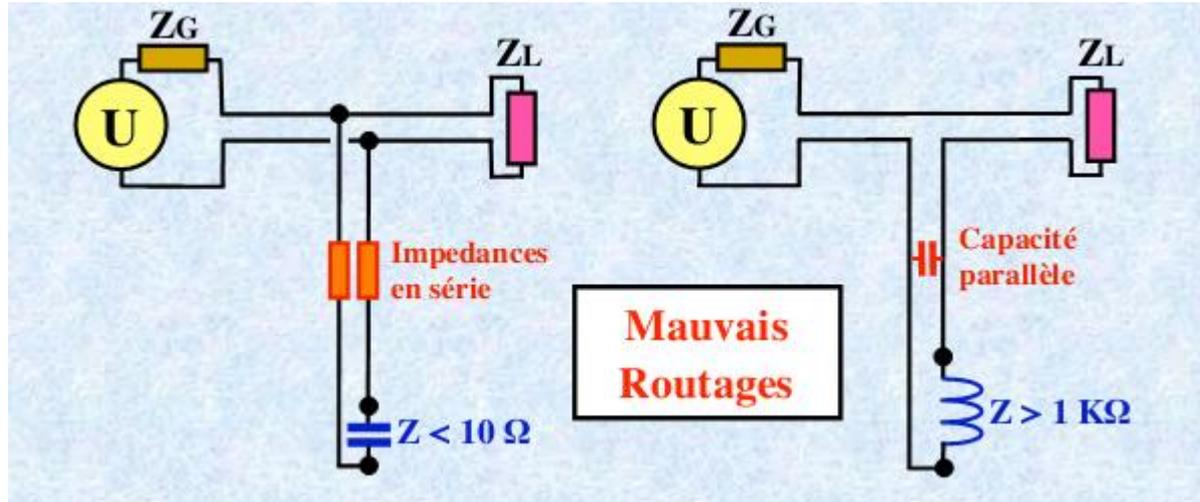
Routage II : Influence sur les signaux

- Capa découplage : attention à la génération automatique des plans



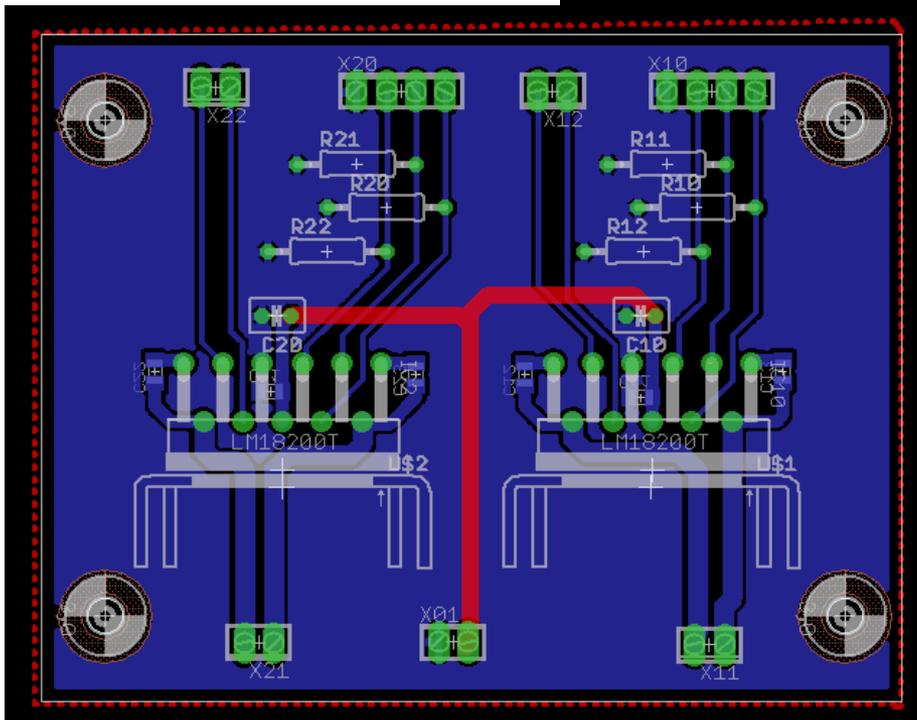
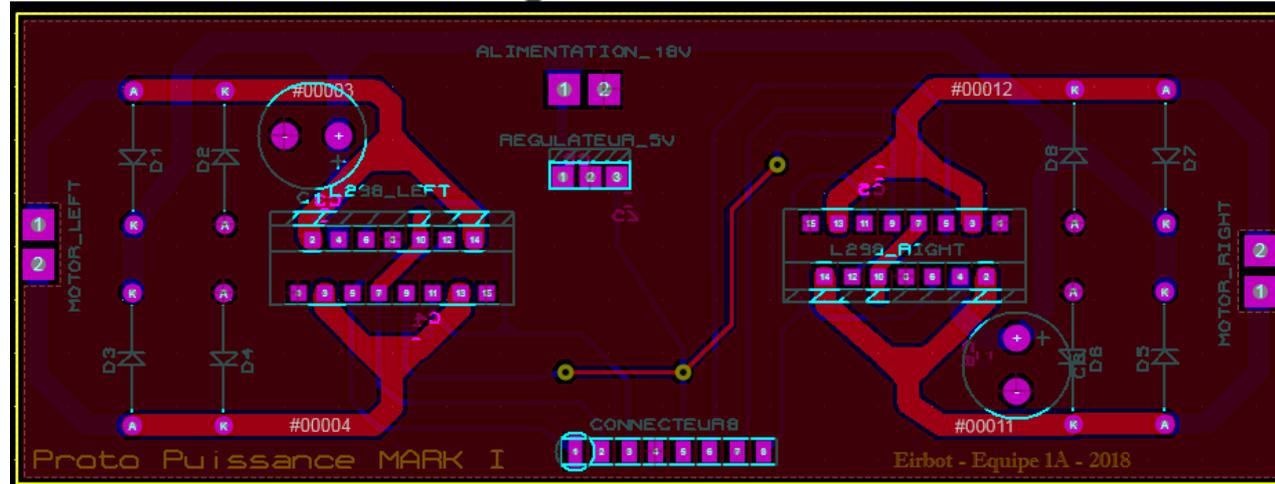
Routage II : Influence sur les signaux

Cheminement du signal



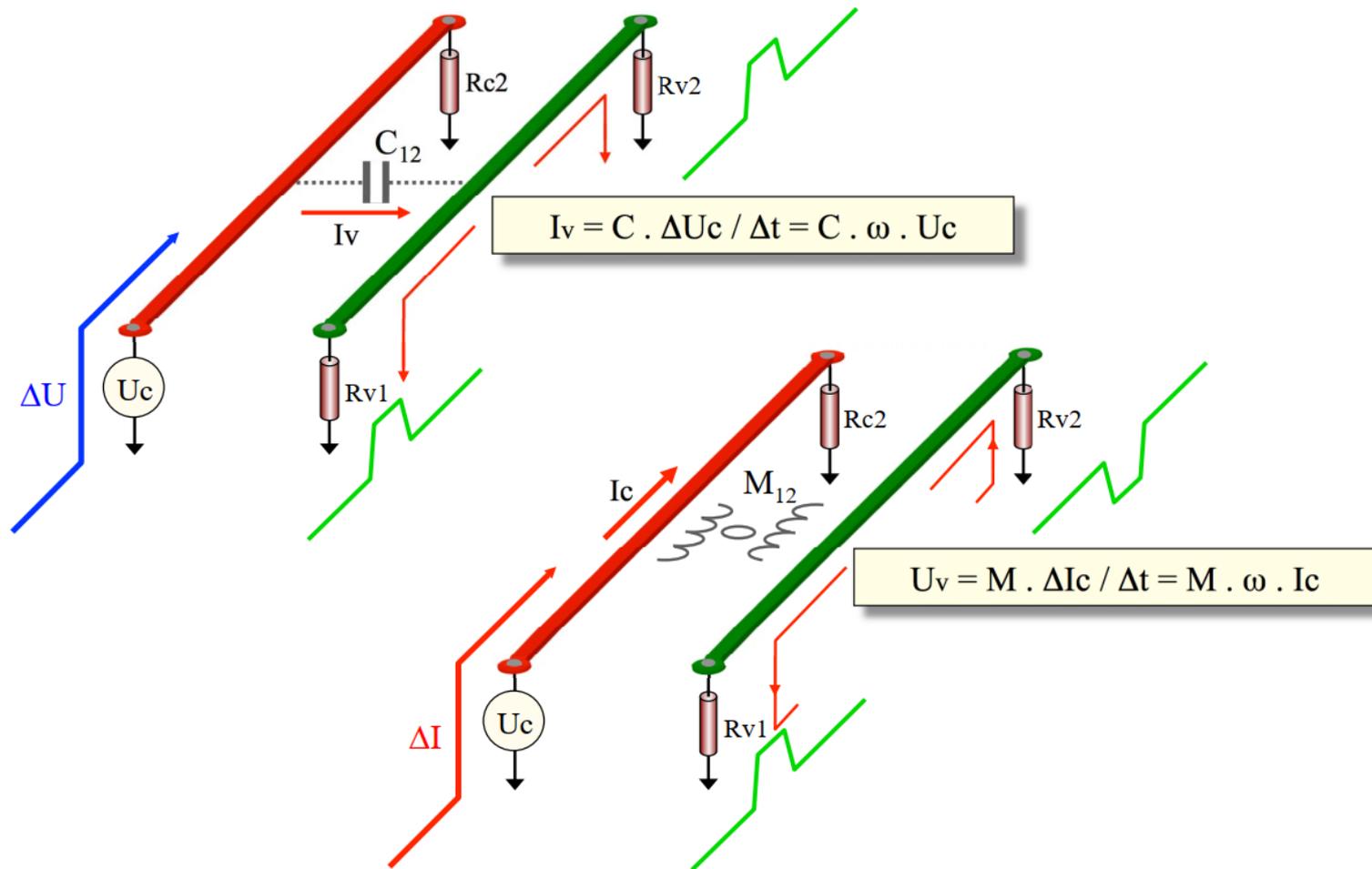
Routage II : Influence sur les signaux

Couplage



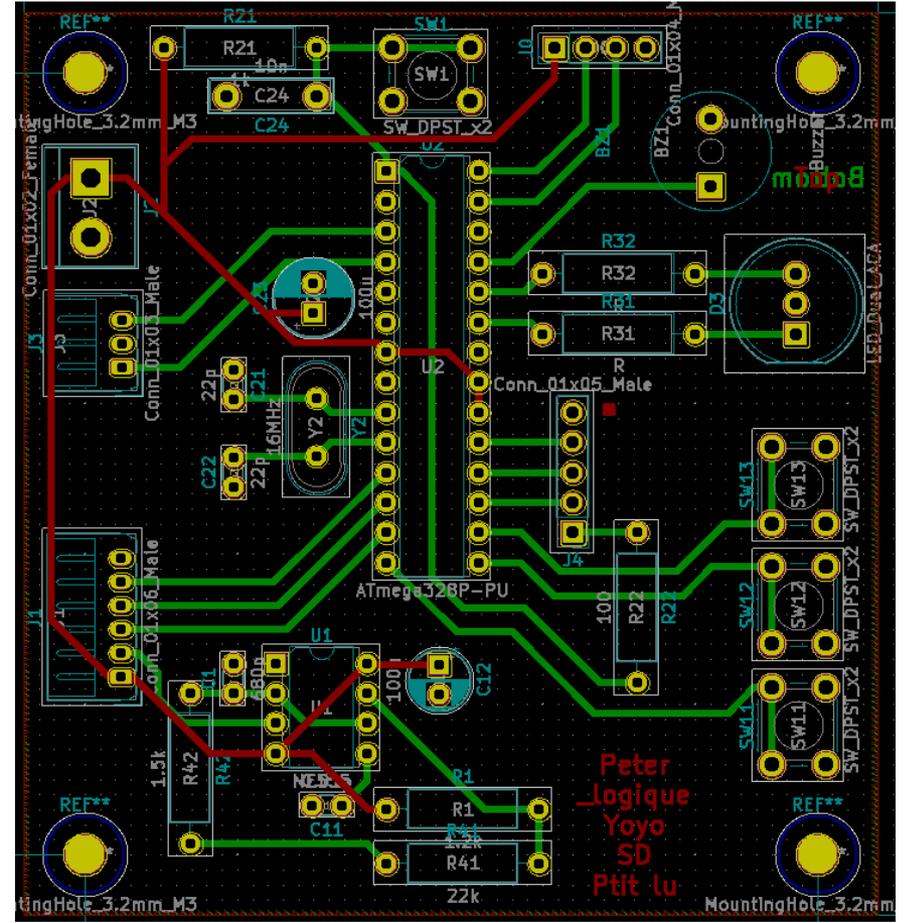
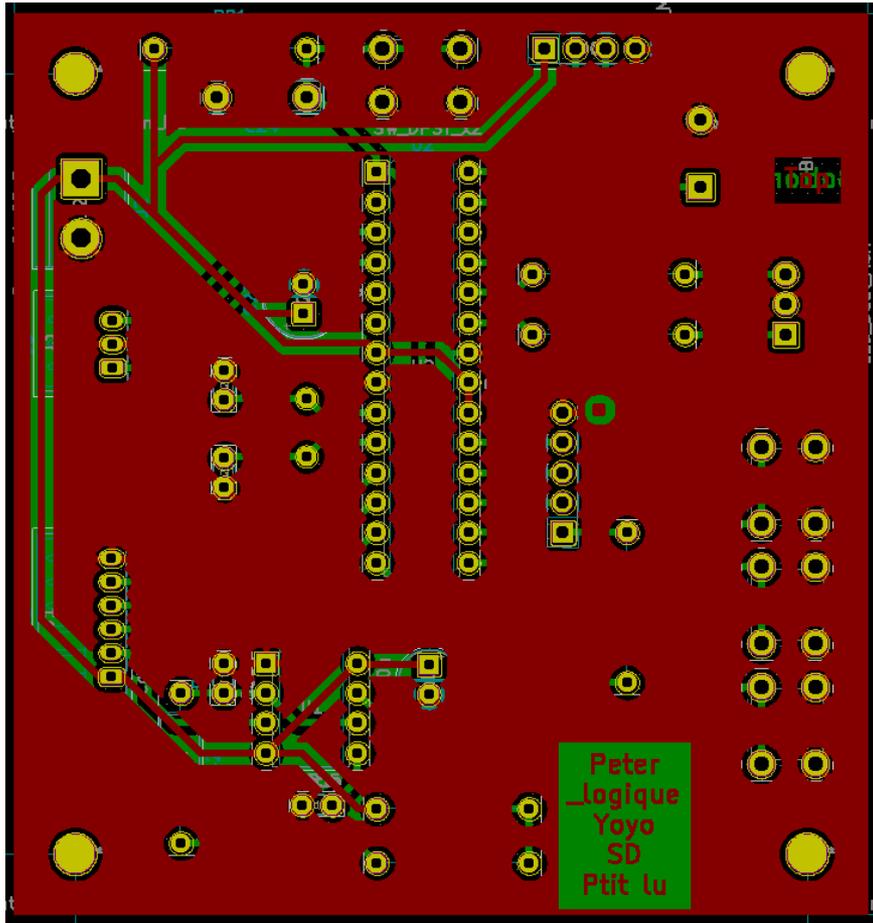
Routage II : Influence sur les signaux

Couplage



Source : AEMC (www.aemc.fr/documentation/conception/)

Routage II : Analyse de routage

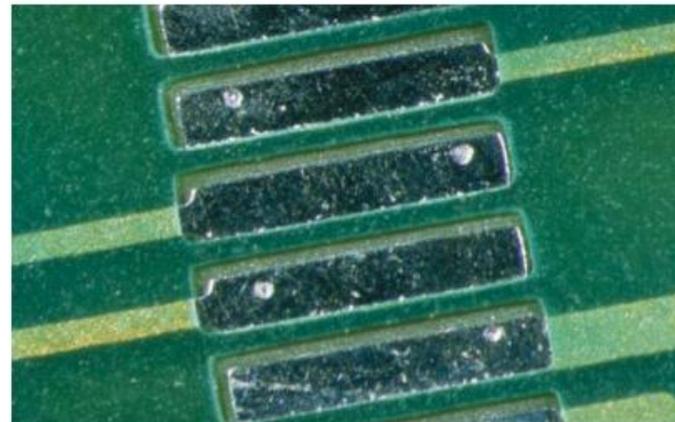
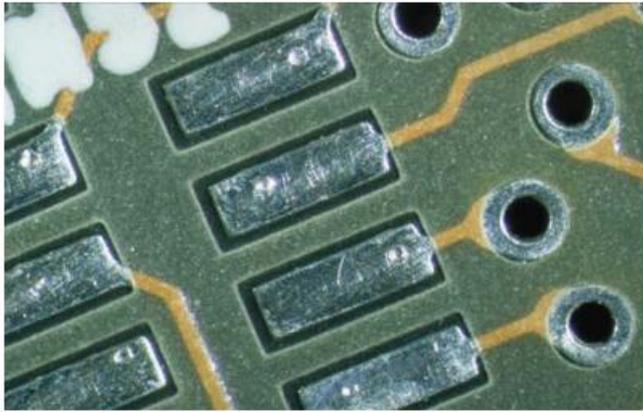


Plan

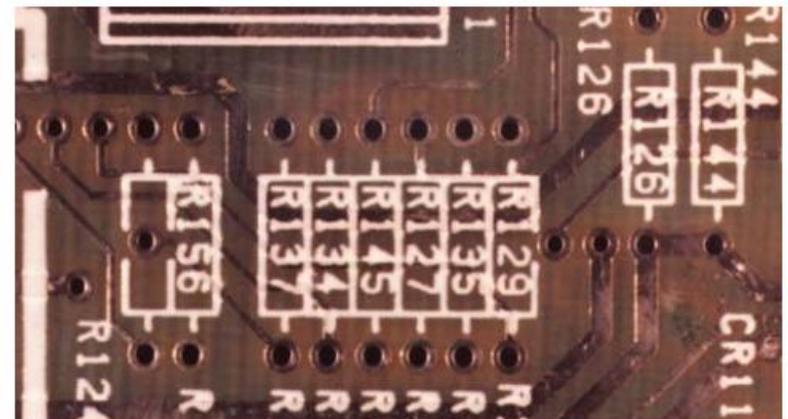
- *Le routage II*
 - *Gérer la thermique.*
 - *De l'influence du routage sur les signaux*
 - *Couplages*
 - *Exemples de routages*
- **Exotisme**
 - **Vernis épargne, silkscreen, stencil, via in pad, pin in paste, ...**
 - **Comment spécifier un PCB : Tg, CTE, MSL, Reflow/wave soldering**
 - **Les finitions HASL, ENIG, ENEPIG**
- *Conclusion*
 - *Rappels*
 - *Les erreurs classiques*
 - *Questions*

Exotisme : Vernis, Silk, via in pad, ...

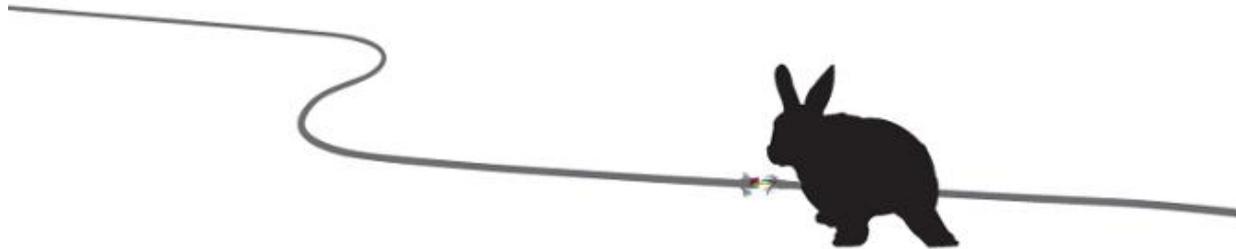
- Vernis épargne
 - Protège les pistes
 - Attention aux épaisseurs et décollages



- Silkscreen (marquage):
 - Attention à la taille (confer doc fabricant)



Exotisme : spécification d'un PCB



PAGE NOT FOUND

The rabbits have been nibbling the cables again...

Maybe this will help [Home](#)

- T'as toujours pas fait la diapo.... Ca fait ~~un~~ DEUX ans... Tocard !
- Démerde toi avec :
 - Le CTE
 - Le Tg

Exotisme : MSL / délamination

HUMIDITY INDICATOR
Complies with IPC/JEDEC J-STD-033B

LEVEL 2 PARTS
Bake parts if 60% is NOT blue

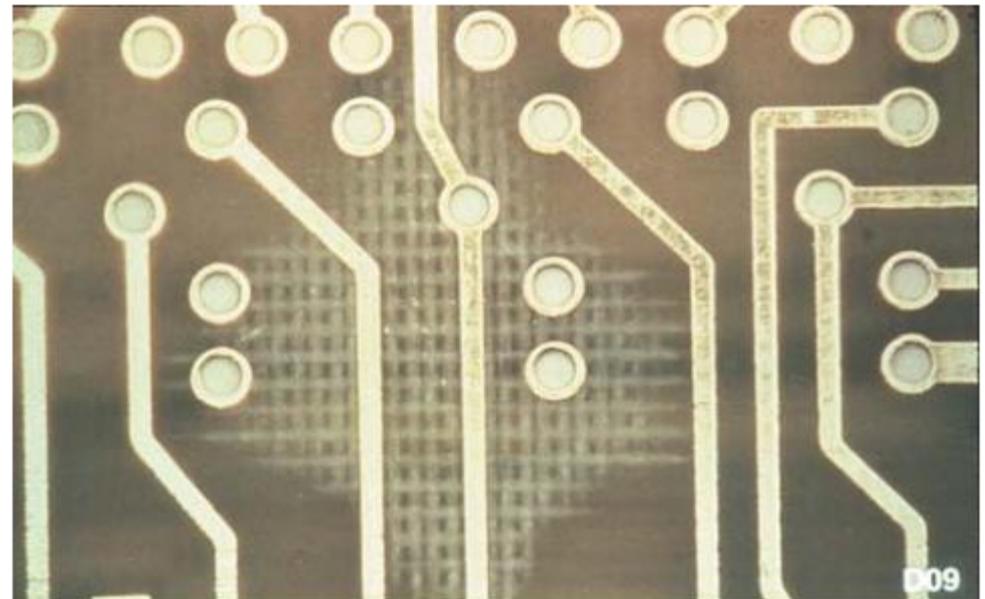
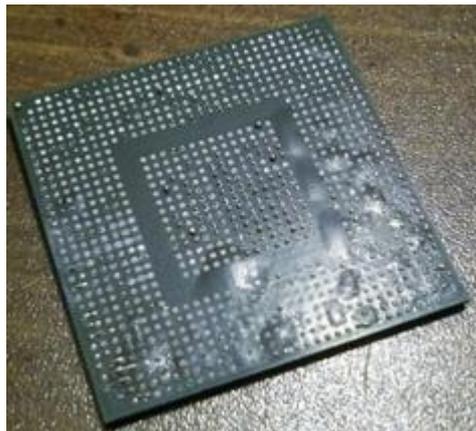
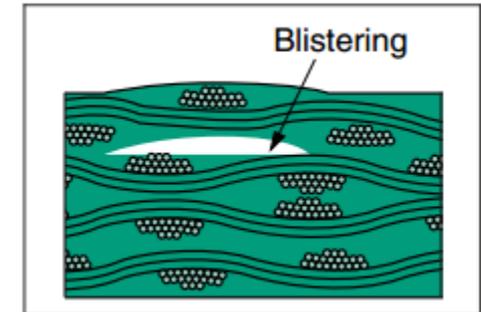
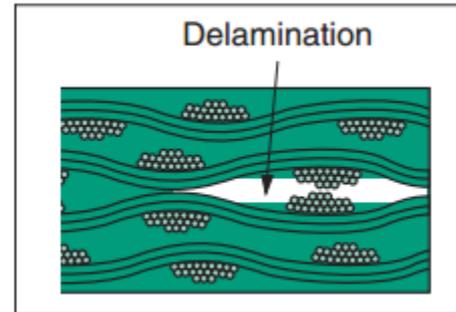
60% 

LEVEL 2A-5A PARTS
Bake parts if 10% is NOT blue and 5% is pink

10% 
5% 

Initial Use: Do not put this card into a bag if 60% is pink

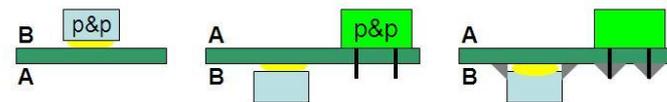
SUD-CHEMIE INC. WWW.S-CPFCOM
Batch #: 0000051757



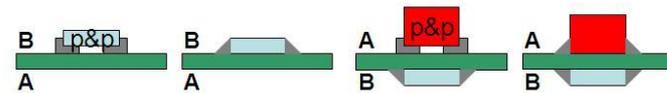
Exotisme : wawe soldering



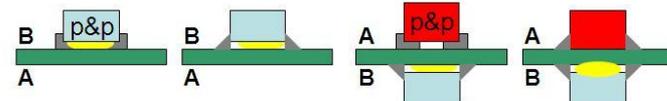
■ Single Layer PCB - Wave Solder only (THT)



■ Double Layer PCB – Reflow Solder double sided SMT



■ Double Layer PCB - SMT with large components on B



Exotisme : Finition

- HASL : Hot Air Solder leveling
 - Pas chère
 - Pas recommandé pour du CMS « fin » (BGA, ...)
 - Attention à l'oxydation
- ENIG : Electroless Nickel Immersion Gold
 - Chère
 - Etat de surface très propre
 - Attention au black pad
- ENEPIG : Electroless Nickel Electroless Palladium Immersion Gold
 - Chère
 - Etat de surface très propre
 - Pas de black pad

Plan

- *Le routage II*
 - *Gérer la thermique.*
 - *De l'influence du routage sur les signaux*
 - *Couplages de mode commun et de mode différentiel*
 - *Exemples de routages*
- *Exotisme*
 - *Vernis épargne, silksreen, stencil, via in pad, pin in paste, ...*
 - *Comment spécifier un PCB : Tg, CTE, MSL, Reflow/wave soldering*
 - *Les finitions HASL, ENIG, ENEPIG*
- **Conclusion**
 - **Rappels**
 - **Les erreurs classiques**
 - **Questions**

Conclusion

- Identifier dès la saisie de schéma les signaux sensibles
 - Fort courant / hautes tensions
 - HF
- Placer en premier les composants lourds, ainsi que la méca (trou de fixation, radiateur, etc...)
 - Utiliser les « restrict » en CAO pour éviter les erreurs
 - Ne pas placer des composants à proximité des dissipateurs
- Ne pas coller les composants les uns aux autres
 - Essayer de penser à l'étape de brasure des composants dès le placement
- Router les signaux sensibles en premier
 - Calculer les tailles de pistes (résistance électrique)
 - Attention au boucles
 - Attention aux frein thermiques

Conclusion

- Router fonction par fonction, puis relier les fonctions entre elles
- Plan de masse
 - Obligatoire
 - Ne pas couper le plan de masse
 - Ne pas compter sur le plan de masse pour relier les masses
- Privilégier des orientations par couches
 - Top vertical
 - Bottom horizontal
- Attention à ce qui est généré automatiquement.
 - Bien configurer les clearances
 - Vérifier le DRC souvent
- Ne pas hésiter à « casser » le placement et/ou le routage

Conclusion



Merci de votre attention

et CROISADE !